

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Takayuki WATANABE, et al.**

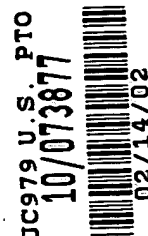
Serial No.: **Not Yet Assigned**

Filed: **February 14, 2002**

For: **PROCESS OF MANUFACTURING A SEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

*21 Priority papers
g. step one 6-10*



Commissioner for Patents
Washington, D.C. 20231

February 14, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-039252, filed February 15, 2001

In support of this claim, the requisite certified copy of said original foreign applications is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP

Donald W. Hanson
Reg. No. 27,133

Atty. Docket No.: 020166
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
DWH/ll

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: February 15, 2001

Application Number: Japanese Patent Application
No. 2001-039252

Applicant(s) FUJITSU QUANTUM DEVICES LIMITED

December 14, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3108080

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC979 U.S. PTO
10/073877
02/14/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 2月15日

出 願 番 号
Application Number:

特願2001-039252

出 願 人
Applicant(s):

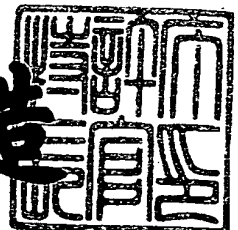
富士通カンタムデバイス株式会社

BEST AVAILABLE COPY

2001年12月14日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0001305

【提出日】 平成13年 2月15日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/306
H01L 21/3105

【発明の名称】 半導体装置の製造方法

【請求項の数】 19

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士
通カンタムデバイス株式会社内

【氏名】 渡辺 孝幸

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士
通カンタムデバイス株式会社内

【氏名】 道蔦 務

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士
通カンタムデバイス株式会社内

【氏名】 長谷川 太郎

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士
通カンタムデバイス株式会社内

【氏名】 藤井 卓也

【特許出願人】

【識別番号】 000154325

【氏名又は名称】 富士通カンタムデバイス株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9806577

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 InP と異なる組成を有し In を含む第1の III-V 族化合物半導体層上に、 In を含む第2の III-V 族化合物半導体層を形成し、前記第1の III-V 族化合物半導体層と前記第2の III-V 族化合物半導体層とよりなる積層構造を形成する工程と、

前記積層構造に隣接して InP 層を成長し、 InP よりなる段差構造を形成する工程と、

前記段差構造および前記第2の III-V 族化合物半導体層に対して塩酸と酢酸とを含むエッチャントを使ったウェットエッチングを適用し、少なくとも前記第2の III-V 族化合物半導体層を除去するウェットエッチング工程を特徴とする半導体装置の製造方法。

【請求項2】 前記エッチャントは、さらに水および過酸化水素水の少なくとも一方をさらに含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度と前記第2の III-V 族化合物半導体層のエッチング速度とが実質的に等しくなるような組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記積層構造を形成する工程は、前記第2の III-V 族化合物半導体層の厚さが、前記エッチャントによる InP 層のエッチング速度と前記エッチング時間との積に実質的に等しくなるように実行されることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度が前記第2の III-V 族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項6】 前記ウェットエッチング工程の後、さらに塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成

する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第 2 の I I I - V 族化合物半導体層のエッチング速度よりも大きくなるような組成を有することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記ウェットエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程における I n P 層のエッチング速度 V_1 と前記第 2 の I I I - V 族化合物半導体層のエッチング速度 V_2 、および前記平坦化工程における I n P 層のエッチング速度 V_3 と前記第 2 の I I I - V 族化合物半導体層のエッチング速度 V_4 に対して、関係式

$$(V_2 - V_1) \times T_1 = (V_3 - V_4) \times T_2$$

が成立するように決定されることを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度が前記第 2 の I I I - V 族化合物半導体層のエッチング速度よりも大きくなるような組成を有することを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 9】 前記ウェットエッチング工程の後、さらに塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第 2 の I I I - V 族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記ウェットエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程における I n P 層のエッチング速度 V_1 と前記第 2 の I I I - V 族化合物半導体層のエッチング速度 V_2 、および前記平坦化工程における I n P 層のエッチング速度 V_3 と前記第 2 の I I I - V 族化合物半導体層のエッチング速度 V_4 に対して、関係式

$$(V_1 - V_2) \times T_1 = (V_4 - V_3) \times T_2$$

が成立するように決定されることを特徴とする請求項 9 記載の半導体装置の製造

方法。

【請求項 1 1】 前記段差構造を形成する工程は、前記積層構造上に前記第 2 の I I I - V 族化合物半導体層を覆うパターンを形成する工程と、前記パターンを堆積マスクとして I n P 層を堆積する工程とを含み、前記ウェットエッチング工程は、前記パターンにより前記積層構造を保護した状態で実行されることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 1 2】 前記ウェットエッチング工程の後、さらに前記パターンを除去する工程と塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第 2 の I I I - V 族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 3】 前記ウェットエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程における I n P 層のエッチング速度 V_1 と前記平坦化工程における I n P 層のエッチング速度 V_3 、および前記第 2 の I I I - V 族化合物半導体層のエッチング速度 V_4 に対して、関係式 $V_1 \times T_1 = (V_4 - V_3) \times T_2$ が成立するように決定されることを特徴とする請求項 1 2 記載の半導体装置の製造方法。

【請求項 1 4】 前記別のエッチャントは、水および過酸化水素水の少なくとも一方をさらに含むことを特徴とする請求項 5 ～ 1 3 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 1 5】 前記段差構造は、前記ウェットエッチング工程の後、(1 0 0) 面または (0 1 1) 面または (0 - 1 - 1) 面よりなる平坦化面を有することを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 1 6】 前記平坦面は前記第 1 の I I I - V 族化合物半導体層の表面と実質的に一致することを特徴とする請求項 1 5 記載の半導体装置の製造方法。

【請求項17】 前記段差構造は、前記ウェットエッチング工程の後、(100)面または(011)面または(0-1-1)面により近い段差面を有することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項18】 前記第2のIII-V族化合物半導体層は、InPとInGaAsとInAsとInGaPとInGaAsPとGaInNAsとよりなる群から選択される組成を有することを特徴とする請求項1～17のうち、いずれか一項記載の半導体装置の製造方法。

【請求項19】 前記第1のIII-V族化合物半導体層は、InGaAsとInGaAsPとよりなる群から選択される組成を有することを特徴とする請求項1～18のうち、いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に化合物半導体装置に係り、特に光通信や光情報処理に用いられる光半導体素子の製造方法に関する。

【0002】

化合物半導体は光と相互作用する直接遷移型のバンド構造を有し、このため化合物半導体を使った光半導体装置は、光通信や光情報処理の分野において広く使われている。特にInP系の化合物半導体装置、特にレーザダイオードは、光ファイバ中を伝送される1.3あるいは1.55 μ m帯の波長の光信号を形成することができるため重要である。

【0003】

【従来の技術】

かかるレーザダイオードでは、レーザ発振効率を向上させるために、注入されたキャリアを軸方向の限られた領域に閉じ込める電流狭搾構造を設けることが必須である。さらにレーザダイオードでは誘導放出によりレーザ発振が生じるため、かかるキャリアを閉じ込めた領域に、光をも効率的に閉じ込める必要がある。InP系のレーザダイオードでは、光を導波するInGaAsPコアとInP埋込層との屈折率差によって、水平方向の光閉じ込めを実現する。

【0004】

図1 (A) ~ (D) は、電流および光狭窄構造として埋込ヘテロ構造 (BH構造) を有するレーザダイオード10の製造工程を示す。

【0005】

図1 (A) を参照するに、n型InP基板11上にはInGaAsP層とInGaAsP層とを繰り返し積層した多重量子井戸層12が形成され、さらに前記多重量子井戸層12上にはp型InPクラッド層13とp型InGaAsコンタクト層14とが順次形成される。

【0006】

次に図1 (B) の工程において前記コンタクト層14上にSiO₂膜15をエッチング保護膜として形成し、さらにかかる構造に対してドライエッチングを行うことにより、活性層メサストライプを形成する。図示の例では、前記メサストライプは<011>方向に延在している。

【0007】

次に図1 (C) の工程において前記SiO₂膜15を選択成長マスクとして使い、Feドープした高抵抗InP埋込層16A, 16Bを有機金属気相成長 (MOVPE; Metal Organic Vapor Phase Epitaxy) 法により、前記メサストライプの両側に結晶成長する。かかるInP埋込層16A, 16Bの再成長工程においては成長停止面である(111) B面が発達し、その結果マスク縁において埋込層が符号16aあるいは16bで示すように盛り上がる成長形状が得られる。

【0008】

最後に図1 (D) の工程において前記SiO₂膜15が除去され、前記コンタクト層14上にp側電極17が、基板11の下面にn側電極18が形成される。

【0009】

【発明が解決しようとする課題】

このように、SiO₂膜15を選択成長マスクとしたInP層16A, 16Bの埋込成長では、先にも説明したように、前記SiO₂膜15の縁に対応する領域16a, 16bにおいてInP層16Aおよび16Bが盛り上がることを避けられない。この原因は、前記SiO₂マスク15上で結晶成長が生じないことに

起因して SiO_2 膜 15 上において原料濃度が局所的に増加し、前記メサ領域の両側で成長している InP 層 16 A あるいは 16 B の表面に原料が過剰供給される為である。例えば図 1 (C) の工程において、メサストライフの高さを約 $1.5 \mu\text{m}$ とした場合、マスク縁の領域 16 a, 16 b において前記 InP 埋込層 16 A, 16 B は約 $0.7 \mu\text{m}$ の高さ程度盛り上がる。

【 0 0 1 0 】

先に説明したように図 1 (D) の工程では p 側電極 17 にかかる段差表面上に形成することになるが、前記 p 側電極 17 を Ti 膜, Pt 膜および Au 膜のスパッタリングにより順次形成した場合、 Ti 膜および Pt 膜はそれぞれ $0.1 \mu\text{m}$ 程度の厚さしかないので、図 2 に示したように、下地形状の段差を反映して凹凸部分 17 a で電極層が途切れる問題が生じる。かかる電極の途切れが生じると電流注入が不均一なり、デバイスの電氣的劣化を引き起こす。

【 0 0 1 1 】

そこで本発明は上記の課題を解決した、新規で有用な半導体装置の製造方法を提供することを概括的課題とする。

【 0 0 1 2 】

本発明のより具体的な課題は、 III-V 族化合物半導体層を含むメサ構造に隣接して、 InP よりなる段差構造を InP 層の選択成長マスクを使った再成長工程により形成した後、前記段差構造を簡単なウェットエッチング工程により平坦化し、前記 III-V 族化合物半導体層の表面に実質的に一致する平坦化面を有する構造を形成できる半導体装置の製造方法を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

本発明は上記の課題を、

請求項 1 に記載したように、

InP と異なる組成を有し In を含む第 1 の III-V 族化合物半導体層上に、 In を含む第 2 の III-V 族化合物半導体層を形成し、前記第 1 の III-V 族化合物半導体層と前記第 2 の III-V 族化合物半導体層とよりなる積層構造を形成する工程と、

前記積層構造に隣接してInP層を成長し、InPよりなる段差構造を形成する工程と、

前記段差構造および前記第2のIII-V族化合物半導体層に対して塩酸と酢酸とを含むエッチャントを使ったウェットエッチングを適用し、少なくとも前記第2のIII-V族化合物半導体層を除去するウェットエッチング工程を特徴とする半導体装置の製造方法により、または

請求項2に記載したように、

前記エッチャントは、さらに水および過酸化水素水の少なくとも一方をさらに含むことを特徴とする請求項1記載の半導体装置の製造方法により、または

請求項3に記載したように、

前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度と前記第2のIII-V族化合物半導体層のエッチング速度とが実質的に等しくなるような組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法により、または

請求項4に記載したように、

前記積層構造を形成する工程は、前記第2のIII-V族化合物半導体層の厚さが、前記エッチャントによるInP層のエッチング速度と前記エッチング時間との積に実質的に等しくなるように実行されることを特徴とする請求項3記載の半導体装置の製造方法により、または

請求項5に記載したように、

前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法により、または

請求項6に記載したように、

前記ウェットエッチング工程の後、さらに塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも大きくなるような組成を有す

ることを特徴とする請求項 5 記載の半導体装置の製造方法により、または
請求項 7 に記載したように、

前記ウェットエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程における I n P 層のエッチング速度 V_1 と前記第 2 の I I I - V 族化合物半導体層のエッチング速度 V_2 、および前記平坦化工程における I n P 層のエッチング速度 V_3 と前記第 2 の I I I - V 族化合物半導体層のエッチング速度 V_4 に対して、関係式

$$(V_2 - V_1) \times T_1 = (V_3 - V_4) \times T_2$$

が成立するように決定されることを特徴とする請求項 6 記載の半導体装置の製造方法により、または

請求項 8 に記載したように、

前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度が前記第 2 の I I I - V 族化合物半導体層のエッチング速度よりも大きくなるような組成を有することを特徴とする請求項 1 または 2 記載の半導体装置の製造方法により、または

請求項 9 に記載したように、

前記ウェットエッチング工程の後、さらに塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第 2 の I I I - V 族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項 8 記載の半導体装置の製造方法により、または

請求項 1 0 に記載したように、

前記ウェットエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程における I n P 層のエッチング速度 V_1 と前記第 2 の I I I - V 族化合物半導体層のエッチング速度 V_2 、および前記平坦化工程における I n P 層のエッチング速度 V_3 と前記第 2 の I I I - V 族化合物半導体層のエッチング速度 V_4 に対して、関係式

$$(V_1 - V_2) \times T_1 = (V_4 - V_3) \times T_2$$

が成立するように決定されることを特徴とする請求項 9 記載の半導体装置の製造

方法により、または

請求項 11 に記載したように、

前記段差構造を形成する工程は、前記積層構造上に前記第 2 の III-V 族化合物半導体層を覆うパターンを形成する工程と、前記パターンを堆積マスクとして InP 層を堆積する工程とを含み、前記ウェットエッチング工程は、前記パターンにより前記積層構造を保護した状態で実行されることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法により、または

請求項 12 に記載したように、

前記ウェットエッチング工程の後、さらに前記パターンを除去する工程と塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第 2 の III-V 族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項 11 記載の半導体装置の製造方法により、または

請求項 13 に記載したように、

前記ウェットエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程における InP 層のエッチング速度 V_1 と前記平坦化工程における InP 層のエッチング速度 V_3 、および前記第 2 の III-V 族化合物半導体層のエッチング速度 V_4 に対して、関係式

$$V_1 \times T_1 = (V_4 - V_3) \times T_2$$

が成立するように決定されることを特徴とする請求項 12 記載の半導体装置の製造方法により、または

請求項 14 に記載したように、

前記別のエッチャントは、水および過酸化水素水の少なくとも一方をさらに含むことを特徴とする請求項 5 ～ 13 のうち、いずれか一項記載の半導体装置の製造方法により、または

請求項 15 に記載したように、

前記段差構造は、前記ウェットエッチング工程の後、(100) 面または (0

11) 面または(0-1-1) 面よりなる平坦化面を有することを特徴とする請求項1 または2 記載の半導体装置の製造方法により、または

請求項16 に記載したように、

前記平坦面は前記第1 の III-V 族化合物半導体層の表面と実質的に一致することを特徴とする請求項15 記載の半導体装置の製造方法により、または

請求項17 に記載したように、

前記段差構造は、前記ウェットエッチング工程の後、(100) 面または(011) 面または(0-1-1) 面により近い段差面を有することを特徴とする請求項1 または2 記載の半導体装置の製造方法により、または

請求項18 に記載したように、

前記第2 の III-V 族化合物半導体層は、InP と InGaAs と InAs と InGaP と InGaAsP と GaInNAs とよりなる群から選択される組成を有することを特徴とする請求項1 ～17 のうち、いずれか一項記載の半導体装置の製造方法により、または

請求項19 に記載したように、

前記第1 の III-V 族化合物半導体層は、InGaAs と InGaAsP とよりなる群から選択される組成を有することを特徴とする請求項1 ～18 のうち、いずれか一項記載の半導体装置の製造方法により、解決する。

〔作用〕

図3 は本発明の発明者により、本発明の基礎となる実験において行われた、塩酸：酢酸：水の混合比が1：5：1 の混合液を使って段差のある InP 層をエッチングする実験における、 $\langle 100 \rangle$ 方向、 $\langle 0-11 \rangle$ 方向、および $\langle 011 \rangle$ 方向のエッチング量とエッチング時間の相関を示す。

【0014】

図3 を参照するに、 $\langle 100 \rangle$ 方向および $\langle 011 \rangle$ 方向のエッチング速度が約 $0.05 \sim 0.1 \mu\text{m}/\text{min}$ 程度であるのに対し、 $\langle 0-11 \rangle$ 方向のエッチング速度は $15 \mu\text{m}/\text{min}$ と100 倍以上速いことがわかる。従って前記混合液で段差形状をエッチングすると $\langle 0-11 \rangle$ 方向の段差は非常に早い速度で後退し、結果的に(100) 面、(011) 面およびこれに等価な(0-1-1) 面

だけが発達面として残り、他の面は消失する。すなわち上記エッチング液によるウェットエッチングにより、InP層上には(100)面あるいは(011)面あるいは(0-1-1)面のみが平坦面として現れることが見出された。

【0015】

前記エッチャント中の各成分の混合比を変えると、エッチング速度の絶対値および各面方位に対する相対速度は変化する。

【0016】

図4はエッチャント中の塩酸に対する酢酸の濃度比Xを変化させた場合における、 $\langle 100 \rangle$ 方向に対する $\langle 0-11 \rangle$ 方向へのエッチング速度比を示す。すなわち図4において、前記エッチャントでは塩酸：酢酸：水の濃度比が1：X：1で表される。

【0017】

図4を参照するに、いずれの酢酸濃度範囲Xにおいても $\langle 100 \rangle$ 方向に比べ $\langle 0-11 \rangle$ 方向へのエッチング速度は30～160倍大きいことがわかる。かかるエッチング異方性は、エッチャント中における塩酸と酢酸の含有によって得られるのであり、特に塩酸と酢酸の濃度比Xが1～20の範囲において30以上のエッチング速度比が得られることがわかる。このように、前記の範囲にエッチャント中の酢酸濃度を設定することにより、本特許の目的であるInP層の顕著な平坦化効果が得られる。

【0018】

前記エッチャント中における水の濃度比が変わると、(塩酸+酢酸)濃度が変化する為に、エッチング速度の絶対値は変化するが、図3、4に示されたエッチング異方性自体は変わらず、平坦化効果には影響は生じない。

【0019】

本発明のエッチャントによるエッチング異方性は、上記のエッチャント混合液に過酸化水素水を加えても得られる。

【0020】

図5は、前記塩酸、酢酸および水よりなる混合液にさらに過酸化水素水を加えたエッチャントによりInPの段差形状をエッチングした場合の、 $\langle 100 \rangle$ 方

向に対する $\langle 0-11 \rangle$ 方向へのエッチング速度比を示す。

【 0 0 2 1 】

図 5 を参照するに、前記エッチャントの中における塩酸と酢酸と過酸化水素水と水の組成比を $1 : 1 : Y : 1$ と表した場合、前記過酸化水素水の濃度 Y の値が $0 \sim 0.3$ の範囲で 30 以上の異方性が得られることがわかる。

【 0 0 2 2 】

図 6 は、塩酸、酢酸、過酸化水素水および水よりなるエッチャントにより、 InP 層、 InGaAs 層および $1.3 \mu\text{m}$ のバンドギャップ波長を与える組成の InGaAsP 層をウェットエッチングした場合の、 $\langle 100 \rangle$ 方向へのエッチング速度を示す図である。

【 0 0 2 3 】

図 6 を参照するに、エッチング速度はそれぞれの化合物半導体層において前記エッチャントの組成、特に過酸化水素水の濃度 Y により変化するのがわかる。その際、 InP 層のエッチング速度は、前記エッチャント中における過酸化水素水の濃度 Y によってはたいして変化しないのに対し、 InGaAs 層および InGaAsP 層のエッチング速度は大きく変化し、過酸化水素水の濃度の上昇とともにこれらの III-V 族層ではエッチング速度が大きく増大することがわかる。例えば前記エッチャントによるエッチング速度は、エッチャント中の過酸化水素水のモル比濃度 Y が 0.4 未満の場合 ($Y < 0.4$)、 InP 層のエッチング速度の方が InGaAsP 層のエッチング速度よりも大きいのに対し、前記エッチャント中における過酸化水素水の濃度 Y が前記 0.4 の値を超えると ($Y > 0.4$) この関係が逆転し、 InGaAsP 層のエッチング速度が InP 層のエッチング速度を上回ることがわかる。また前記エッチャント中の過酸化水素の濃度 Y の値を 0.4 に設定することにより、前記 InGaAsP 層のエッチング速度を前記 InP 層のエッチング速度におおよそ一致させることが可能である。

【 0 0 2 4 】

同様に、前記エッチャント中の過酸化水素水の濃度 Y が 0.2 未満の場合 ($Y < 0.2$)、 InP 層のエッチング速度は InGaAs 層のエッチング速度を上回り、一方前記過酸化水素水の濃度 Y が 0.2 を超える場合には、 InGaAs

層のエッチング速度がInP層のエッチング速度を上回ることがわかる。また前記エッチャント中の過酸化水素水の濃度Yを0.2に設定することにより、前記InGaAs層のエッチング速度を前記InP層のエッチング速度におおよそ一致させることが可能である。

【0025】

以下、本発明による半導体装置の製造方法の原理を、四つの基本的類型に分けて説明する。

A. 類型I

図7(A)～(D)は、前記図3～6の関係に基づいた本発明による半導体装置の製造方法の原理を第1の類型について説明する図である。ただし図7(A)～(D)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0026】

図7(A)を参照するに、n型InP基板11上には図1(C)の構造に対応して、InGaAsP量子井戸層とInGaAsPバリア層とを交互に繰り返し積層した多重量子井戸構造を有する活性層12と、p型InPクラッド層13と、p型InGaAsコンタクト層14とを含むメサストライプ構造が、SiO₂あるいはSiN等よりなる絶縁膜パターン15をマスクとしたドライエッチング工程により形成されているが、図7(A)の構造では図1(C)の構造と異なり、前記コンタクト層14と絶縁膜パターン15との間にInGaAsあるいはInGaAsPよりなる犠牲層ないし速度調整層14Aが挿入されている。前記メサストライプ構造の両側には、FeドープしたInP高抵抗埋込層16A、16Bが、前記絶縁膜パターン15をマスクとした選択成長工程により形成されている。前記InP埋込層16A、16Bには、絶縁膜をマスクとした選択成長工程に特有な段差形状16a、16bが図1(C)の構造と同様に形成されている。

【0027】

次に図7(B)の工程において前記絶縁膜パターン15が除去され、さらに図7(B)の構造に対して図7(C)の工程において、塩酸と酢酸と過酸化水素水とよりなるエッチャントを使ったウェットエッチング処理が適用される。その際

先に図3で説明したように、InP埋込層16A、16Bのうち $\langle 0-11 \rangle$ 方向の斜面が優先的にエッチングされ、その結果、前記InP層16A、16B上には、(100)面あるいは(011)面、あるいは(0-1-1)面よりなる平坦面16c、16dが発達する。その際、かかるInP層の異方性エッチングによる段差面の平坦化作用は、図4および図5よりわかるように前記エッチャント中における塩酸と酢酸と過酸化水素水の混合比をモル比で1:1:0から10:10:3の範囲に設定した場合に顕著に現れる。すなわち、上記組成範囲において、前記エッチャントは30以上の異方性を示す。

【0028】

ところで図7(C)のウェットエッチング工程では、前記InGaAs速度調整層14Aも同時にエッチングされており、前記InP埋込層16A、16Bと同じく(100)面あるいは(011)面あるいは(0-1-1)面が発達しているが、前記InP層16A、16Bを平坦化する際のエッチャントとして、塩酸と酢酸と過酸化水素水とよりなり過酸化水素水を0.2を超える濃度Y($Y > 0.2$)で含む組成のものを使った場合、先に説明した図6よりわかるように前記平坦化面16c、16dのエッチング速度が前記InGaAs速度調整層14Aのエッチング速度よりも小さくなり、その結果、前記InGaAs速度調整層14Aは前記InP埋込層16A、16Bに対して凹部を形成する。

【0029】

そこで、本発明では図7(D)の工程において、塩酸と酢酸と過酸化水素水とよりなり過酸化水素水を0.2未満の濃度Y($Y < 0.2$)で含む別のエッチャントを使い、図7(C)の構造をさらにウェットエッチングすることにより、前記InP平坦化面16c、16dを前記速度調整層14Aよりも大きなエッチング速度でエッチングする。かかるウェットエッチングを、前記速度調整層14Aがエッチング・除去されるまで継続することにより、図7(D)に示すように前記平坦化面16c、16dが前記InGaAsコンタクト層14の表面と実質的に一致する平坦化構造が得られる。

【0030】

なお図7(A)～(D)の工程において、前記速度調整層14Aとして図6に

示すバンドギャップ組成が $1.3\mu\text{m}$ のInGaAsP層を使った場合には、先と同様な考察から、図7(C)の工程において使われるエッチャント中の過酸化水素水の濃度 Y を 0.4 よりも大きく($Y > 0.4$)に設定し、図7(D)の工程において使われるエッチャント中の過酸化水素水の濃度 Y を 0.4 未満($Y < 0.4$)に設定すればよいことがわかる。

【0031】

なお、図7(D)の工程において、前記コンタクト層14の表面を前記InP埋込層16A、16Bの平坦面16c、16dと一致させるためには、前記図7(C)および7(D)のウェットエッチング工程の時間を、それぞれのウェットエッチング工程で使われるエッチャントのエッチング速度に対応して適切に設定しておく必要がある。

【0032】

より具体的説明すると、図7(C)の工程において前記速度調整層14Aの表面と前記平坦化面16cあるいは16dとの間に形成される段差 L_{step} は、図7(B)の段差部16a、16bが図7(C)のウェットエッチング開始後、大きなエッチング異方性のため直ちに平坦化されると仮定して、

$$L_{\text{step}} = (V_2 - V_1) \times t_1$$

で与えられる。ただし V_1 は図7(C)の工程における前記InP層16Aあるいは16Bのエッチング速度を、また V_2 は図7(C)の工程における前記速度調整層14Aのエッチング速度を表し、 t_1 は図7(C)の工程におけるエッチング時間を表す。

【0033】

一方、図7(D)のウェットエッチング工程の結果、前記段差 L_{step} は解消する必要があり、このことから関係式

$$L_{\text{step}} = (V_2 - V_1) \times t_1 = (V_3 - V_4) \times t_2$$

が成立しなければならない。ただし、 V_3 は図7(D)のウェットエッチング工程における前記InP層16A、16Bのエッチング速度を、また V_4 は図7(D)のウェットエッチング工程における前記速度調整層14Aのエッチング速度を表す。

【0034】

先の図6の関係より、図7(D)の工程におけるInP埋込層16A、16Bのエッチング速度 V_3 が図7(C)の工程におけるInP埋込層16A、16Bのエッチング速度 V_1 と略等しい($V_1 \doteq V_3$)と近似すると、前記関係は、

$$(V_2 - V_1) \times t_1 = (V_1 - V_4) \times t_2$$

と変形される。前記速度調整層14Aが図7(D)の工程において完全に除去されるためには、前記関係 $V_1 \doteq V_3$ を仮定して、前記速度調整層14Aの厚さを、式 $V_1 \times (t_1 + t_2)$ に従って設定すればよい。

B. 類型II

図8(A)～(D)は、本発明による半導体装置の製造方法の原理を、第2の類型、すなわちInP埋込層16A、16Bを平坦化する際のエッチング速度が速度調整層14Aのエッチング速度よりも速い場合について示す。ただし図8(A)～(D)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0035】

図8(A)～(D)を参照するに、図8(A)～(B)の工程は、先の図7(A)～(B)の工程と同じであり、p型InGaAsコンタクト層14上にInGaAsあるいはInGaAsP速度調整層14Aを形成した後、絶縁膜パターン15をマスクに前記InP基板11上にメサストライプ構造を形成し、さらに同じ絶縁膜パターン15を選択成長マスクにつかって高抵抗InP埋込層16A、16Bを前記メサストライプ構造の両側に形成した後、前記絶縁膜パターン15を除去する。

【0036】

次に図8(C)の工程において、図8(B)の構造に対して、塩酸と酢酸と過酸化水素水とよりなり、過酸化水素水を前記InP埋込層16A、16Bのエッチング速度が前記速度調整層14Aのエッチング速度よりも大きくなるような濃度で含むエッチャントを使ったウェットエッチング工程を適用することにより、前記InP埋込層16A、16Bの段差部16a、16bをエッチングし、平坦

面 16c, 16d を形成する。かかるウェットエッチング工程の結果、前記速度調整層 14A は前記平坦面 16c, 16d から上方に突出し、凸構造を形成する。

【0037】

そこで、図 8 (C) の工程に引き続き図 8 (D) の工程が実行され、前記速度調整層 14A および InP 平坦面 16c, 16d が、塩酸と酢酸と過酸化水素水とよりなり InGaAs に対するエッチング速度が InP に対するエッチング速度よりも速くなるように過酸化水素の濃度を調整されたエッチャントを使ってエッチングされる。

【0038】

図 8 (A) ~ (D) の工程において前記速度調整層 14A が InGaAs よりなる場合、図 8 (C) の工程では前記エッチャント中の酢酸濃度 Y を図 6 の関係から 0.2 未満 ($Y < 0.2$) に設定すればよく、また図 8 (D) の工程では 0.2 よりも大きく ($Y > 0.2$) 設定すればよい。一方前記速度調整層 14A が InGaAsP 層よりなり、前記 InGaAsP 層が $1.3 \mu\text{m}$ 帯域のバンドギャップ波長に対応する組成を有する場合、図 8 (C) の工程では前記エッチャント中の過酸化水素水の濃度 Y を 0.4 未満 ($Y < 0.4$) とすればよく、さらに図 8 (D) の工程では前記過酸化水素水の濃度 Y を 0.4 よりも大きく設定すればよい。

【0039】

なお、図 8 (D) の工程において、前記コンタクト層 14 の表面を前記 InP 埋込層 16A, 16B の平坦面 16c, 16d と一致させるためには、前記図 8 (C) および 8 (D) のウェットエッチング工程の時間を、それぞれの工程で使われるエッチャントのエッチング速度に対応して適切に設定しておく必要がある。

【0040】

より具体的説明すると、図 8 (C) の工程において前記速度調整層 14A の表面と前記平坦化面 16c あるいは 16d との間に形成される段差 L_{step} は、

$$L_{\text{step}} = (V_1 - V_2) \times t_1$$

で与えられる。ただし V_1 は図 8 (C) の工程における前記 I n P 層 16 A あるいは 16 B のエッチング速度を、また V_2 は図 8 (C) の工程における前記速度調整層 14 A のエッチング速度を表し、 t_1 は図 8 (C) の工程におけるエッチング時間を表す。

【0041】

一方、図 8 (D) のウェットエッチング工程の結果、前記段差 L_{step} は解消する必要がある、このことから関係式

$$L_{step} = (V_1 - V_2) \times t_1 = (V_4 - V_3) \times t_2$$

が成立しなければならない。ただし、 V_3 は図 8 (D) のウェットエッチング工程における前記 I n P 層 16 A、16 B のエッチング速度を、また V_4 は図 8 (D) のウェットエッチング工程における前記速度調整層 14 A のエッチング速度を表す。

【0042】

先の図 6 の関係より、図 8 (D) の工程における I n P 埋込層 16 A、16 B のエッチング速度 V_3 が図 8 (C) の工程における I n P 埋込層 16 A、16 B のエッチング速度 V_1 と略等しい ($V_1 \doteq V_3$) と近似すると、前記関係は図 7 (C)、(D) の場合と同様に、

$$(V_2 - V_1) \times t_1 = (V_1 - V_4) \times t_2$$

と変形される。前記速度調整層 14 A が図 8 (D) の工程において完全に除去されるためには、前記関係 $V_1 \doteq V_3$ を仮定して、前記速度調整層 14 A の厚さを、式 $V_1 \times (t_1 + t_2)$ に従って設定すればよい。

C. 類型 I I I

図 9 (A) ~ (C) は、本発明による半導体装置の製造方法の原理を、I n P 埋込層 16 A、16 B を平坦化する際のエッチング速度が速度調整層 14 A のエッチング速度に等しく設定された第 3 の類型について示す図である。ただし図 9 (A) ~ (C) 中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0043】

図9 (A) ~ (C) を参照するに、図9 (A) ~ (B) の工程は、先の図7 (A) ~ (B) の工程と同じであり、p型InGaAsコンタクト層14上にInGaAsあるいはInGaAsP速度調整層14Aを形成した後、絶縁膜パターン15をマスクに前記InP基板11上にメサストライプ構造を形成し、さらに同じ絶縁膜パターン15を選択成長マスクにつかって高抵抗InP埋込層16A, 16Bを前記メサストライプ構造の両側に形成した後、前記絶縁膜パターン15を除去する。

【0044】

次に図9 (C) の工程において、図9 (B) の構造に対して、塩酸と酢酸と過酸化水素水とよりなり、過酸化水素水を前記InP埋込層16A, 16Bのエッチング速度が前記速度調整層14Aのエッチング速度に略等しくなるような濃度で含むエッチャントを使ったウェットエッチング工程を適用することにより、前記InP埋込層16A, 16Bの段差部16a, 16bをエッチングし、平坦面16c, 16dを形成する。かかるウェットエッチング工程の結果、前記速度調整層14Aは前記平坦面16c, 16dと実質的に同じ速度でエッチングされ、前記平坦面16c, 16dと前記速度調整層14Aの表面とが実質的に一致する平坦化構造が、単一のウェットエッチング工程により得られる。

【0045】

図9 (A) ~ (C) の工程において前記速度調整層14AがInGaAsよりなる場合、図9 (C) の工程では前記エッチャント中の過酸化水素水の濃度Yを図6の関係から約0.2 ($Y \approx 0.2$) に設定すればよい。一方前記速度調整層14AがInGaAsP層よりなり、前記InGaAsP層が1.3 μm 帯域のバンドギャップ波長に対応する組成を有する場合、図9 (C) の工程では前記エッチャント中の過酸化水素水の濃度Yを約0.4 ($Y \approx 0.4$) とすればよい。

【0046】

図9 (A) ~ (C) の類型IIIによる半導体装置の製造方法においては、前記速度調整層14Aとして、InPを使うこともできる。InPを使った場合には図9 (C) のウェットエッチングおよび平坦化工程において、InP埋込層16A, 16Bと速度調整層14Aとの間にエッチング速度の差が生じ得ないため

、前記エッチャント中の過酸化水素水の濃度を任意に設定することができる。

D. 類型IV

図10(A)～(D)は、本発明による半導体装置の製造方法の原理を、第4の類型、すなわちInP埋込層16A、16Bを平坦化する際に、前記InP埋込層16A、16Bの再成長工程による形成の際に使われた選択成長マスクをエッチングマスクとして残す場合について示す。ただし図10(A)～(D)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0047】

図10(A)～(D)を参照するに、図10(A)工程は、先の図7(A)の工程と同じであり、p型InGaAsコンタクト層14上にInGaAsあるいはInGaAsP速度調整層14Aを形成した後、絶縁膜パターン15をマスクに前記InP基板11上にメサストライプ構造を形成し、さらに同じ絶縁膜パターン15を選択成長マスクにを使って高抵抗InP埋込層16A、16Bを前記メサストライプ構造の両側に形成する。

【0048】

次に図10(B)の工程において前記絶縁膜パターン15を残したまま、図10(A)の構造に対して塩酸と酢酸と過酸化水素水とよりなるエッチャントを使ったウェットエッチング工程を適用することにより、前記InP埋込層16A、16Bの段差部16a、16bをエッチングし、平坦面16c、16dを形成する。その際、前記メサ構造は絶縁膜パターン15により保護されているため、かかるウェットエッチング工程の結果、前記速度調整層14Aは前記平坦面16c、16dから上方に突出し、凸構造を形成する。

【0049】

次に図10(C)の工程において前記絶縁膜パターン15が除去され、さらに図10(D)の工程において前記速度調整層14AおよびInP平坦面16c、16dが、塩酸と酢酸と過酸化水素水とよりなりInGaAsPに対するエッチング速度がInPに対するエッチング速度よりも速くなるように過酸化水素の濃度を調整されたエッチャントを使ってエッチングされる。

【0050】

図10 (A) ~ (D) の工程において前記速度調整層14AがInGaAsよりなる場合、図10 (B) の工程では前記エッチャント中の過酸化水素水の濃度Yは図5において面方位選択性が得られる範囲で任意に設定すればよいが、図10 (D) の工程では前記速度調整層14Aがより速い速度でエッチングされるように0.2よりも大きく ($Y > 0.2$) 設定するのが好ましい。一方前記速度調整層14AがInGaAsP層よりなり、前記InGaAsP層が1.3 μm 帯域のバンドギャップ波長に対応する組成を有する場合、図10 (B) の工程では前記エッチャント中の過酸化水素水の濃度Yは先と同様にエッチングの面方位選択性が得られる範囲で任意に選ぶことができるが、図10 (D) の工程では前記InGaAsP速度調整層14Aがより速いエッチング速度でエッチングされるように、前記過酸化水素水の濃度Yを0.4よりも大きく設定するのが好ましい。

【0051】

図10 (D) の工程において、前記コンタクト層14の表面を前記InP埋込層16A、16Bの平坦面16c、16dと一致させるためには、前記図10 (B) および図10 (D) のウェットエッチング工程の時間を、それぞれの工程で使われるエッチャントのエッチング速度に対応して適切に設定しておく必要がある。

【0052】

より具体的説明すると、図10 (B) の工程において前記速度調整層14Aの表面と前記平坦化面16cあるいは16dとの間に形成される段差 L_{step} は、

$$L_{\text{step}} = V_1 \times t_1$$

で与えられる。ただし V_1 は図10 (B) の工程における前記InP層16Aあるいは16Bのエッチング速度を表し、 t_1 は図10 (B) の工程におけるエッチング時間を表す。

【0053】

一方、図10 (D) のウェットエッチング工程の結果、前記段差 L_{step} は解消する必要があり、このことから関係式

$$L_{\text{step}} = V_1 \times t_1 = (V_4 - V_3) \times t_2$$

が成立しなければならない。ただし、 V_3 は図10 (D) のウェットエッチング工程における前記InP層16A, 16Bのエッチング速度を、また V_4 は図10 (D) のウェットエッチング工程における前記速度調整層14Aのエッチング速度を表す。

【0054】

先の図6の関係より、図10 (D) の工程におけるInP埋込層16A, 16Bのエッチング速度 V_3 が図10 (B) の工程におけるInP埋込層16A, 16Bのエッチング速度 V_1 と略等しい ($V_1 \doteq V_3$) と近似すると、前記関係は

$$V_1 \times t_1 = (V_4 - V_1) \times t_2$$

と変形される。前記速度調整層14Aが図10 (D) の工程において完全に除去されるためには、前記関係 $V_1 \doteq V_3$ を仮定して、前記速度調整層14Aの厚さを、式 $V_1 \times (t_1 + t_2)$ に従って設定すればよい。

【0055】

なお前記類型I～IVのいずれにおいても前記速度調整層14AとしてInGaAsあるいはInGaAsPが使われているが、前記速度調整層14Aの材料は上記のものに限定されるものではなく、InGaAs, InAs, InGaP, InGaAsPあるいはGaInNAsのいずれであってもよい。また前記ウェットエッチング工程と平坦化工程とでエッチングの選択性を変化させるためにエッチャント中の酢酸濃度Xを変化させてもよい。特に前記速度調整層14AとしてInGaAsPを使い、さらにその組成をバンドギャップが1.3 μm 以上、1.65 μm 以下となるように設定した場合には、図6の関係において、1.3 μm 組成のInGaAsPに対するエッチング速度とInGaAsに対するエッチング速度の中間の値が得られる。

【0056】

以上の説明においては、一回または二回のウェットエッチングおよび平坦化工程を行うことにより、埋込InP層16A, 16Bとコンタクト層14との間の段差が実質的に解消されているが、本発明は、前記平坦化工程の結果、前記段差が完全に解消される場合のみならず、当初の状態に対して軽減される場合をも含

む。

【0057】

また本発明は、前記 InP 埋込層 16A、16B 上の当初の段差部 16a、16b を先に説明した図 3～図 5 の関係に基づいてウェットエッチングにより平坦化する工程、例えば図 7 の工程 (C) において、ウェットエッチングの結果として得られる平坦化面 16c、16d が (100) 面または (011) 面または (0-1-1) 面に一致する場合のみならず、これらの結晶面により近い指数の面が得られる場合をも含む。

【0058】

【発明の実施の形態】

〔第 1 実施例〕

以下、図 11 (A)～図 12 (G) を参照しながら、本発明の第 1 実施例による BH 構造を有するレーザダイオードの製造工程を説明する。

【0059】

図 11 (A) を参照するに、n 型 InP 基板 101 上に InGaAsP / InGaAsP 多重量子井戸活性層 102 と、p 型 InP クラッド層 103 と、p 型 InGaAs コンタクト層 104 とを順次積層し、さらに前記コンタクト層 104 上に 1.3 μm 帯域のバンドギャップ波長を与える組成の InGaAsP よりなる速度調整層 104A を約 0.4 μm の厚さに堆積する。

【0060】

次に図 11 (B) の工程において、SiO₂ 膜 105 をエッチングマスクとして使い、ドライエッチングを行うことにより、活性層メサストライプ 101M を形成する。図示の例では、前記活性層メサストライプ 101M は、<011> 方向に延在する。

【0061】

次に図 11 (C) の工程において、前記 SiO₂ 膜 105 を選択成長マスクとして、MOVPE 法により Fe ドープ InP 埋込層 106₁、106₂ を前記基板 101 上、前記メサストライプ 101M の両側に成長する。前記 MOVPE 工程は、例えば成長温度を 630°C、成長圧力を 0.1 気圧に設定して実行され、

III族元素、V族元素およびFeドーパントの原料としてTMIn, PH_3 および Cp_2Fe を使用する。

【0062】

本実施例では前記InP埋込層106₁, 106₂の厚さは、前記InP埋込層106₁, 106₂の最も低い部分が前記メサストライプ101M中のInGaAsP速度調整層104Aよりも高くなるように設定される。その結果、前記InP埋込層106₁, 106₂には図11(C)の工程の結果、前記メサストライプ101M上の SiO_2 膜105に隣接して、盛り上がり部106a, 106bが形成される。

【0063】

次に図12(D)の工程において、塩酸と酢酸と過酸化水素水と水との混合液よりなる第1のエッチャントを使い、図11(C)の構造をウェットエッチングする。

【0064】

図12(D)の工程において、前記第1のエッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.1:1に設定され、エッチングは液温23°Cで典型的には1分間行われる。かかるエッチングの結果、図12(D)に示すように前記InP埋込層106A, 106Bの表面106a, 106bは(100)面あるいはその近傍の指数を有する平坦化面106c, 106dに変化し、前記平坦化面106c, 106dは、前記 SiO_2 膜105で保護されたInGaAsP層104Aの表面に対して高さが約0.12 μm の段差を形成する。

【0065】

次に図12(E)の工程において前記 SiO_2 膜105がHF処理により除去され、さらに図12(F)の工程において、塩酸と酢酸と過酸化水素水と水とよりなる第2のエッチャントを使って前記図12(E)の構造を、前記InGaAsP層104Aの下のパ型InGaAsコンタクト層104が露出するまでウェットエッチングする。

【0066】

図 1 2 (F) のウェットエッチング工程では、前記第 2 のエッチャント中の塩酸と酢酸と過酸化水素水と水の混合比が 1 : 1 : 0. 6 : 1 に設定され、エッチングは 2 3 ° C の液温で典型的には 2 分間行われる。前記第 2 のエッチャントを使ったウェットエッチング工程では、前記 InGaAsP 層 1 4 A のエッチング速度が前記 InP 埋込層 1 0 6₁, 1 0 6₂ のエッチング速度よりも大きくなり、その結果、図 1 2 (E) の工程において生じていた表面段差が消滅し、図 1 2 (F) に示すように、InP 埋込層 1 0 6₁, 1 0 6₂ と InGaAs コンタクト層 1 0 4 とが平坦化された構造が得られる。

【 0 0 6 7 】

最後に図 1 2 (G) の工程で、前記 p 型 InGaAs 層 1 0 4 上に p 側電極 1 0 7 を、また前記基板 1 0 1 の下面上に n 側電極 1 0 8 を形成する。

【 0 0 6 8 】

本実施例では図 1 2 (G) の工程において前記埋込層 1 0 6₁, 1 0 6₂ は前記コンタクト層 1 0 4 と共通の平坦面を形成するため、前記 p 側電極 1 0 7 は平面上に積層され、従って先に図 2 で説明した電極途切れの問題は生じない。

〔第 2 実施例〕

図 1 3 (A) ～図 1 4 (F) は本発明の第 2 実施例による BH 構造を有するレーザダイオードの製造工程を示す。ただし図 1 3 (A) ～図 1 4 (F) 中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【 0 0 6 9 】

図 1 3 (A) ～図 1 4 (F) を参照するに、図 1 3 (A) ～(C) までの工程は先に説明した図 1 1 (A) ～(C) までの工程と実質的に同一であり、SiO₂ 膜 1 0 5 で覆われたメサ構造 1 0 1 M の両側に、前記 SiO₂ 膜 1 0 5 を選択成長マスクとして InP 埋込層 1 0 6₁ および 1 0 6₂ が再成長により形成され、これに伴い前記 InP 埋込層 1 0 6₁ および 1 0 6₂ には段差部 1 0 6 a および 1 0 6 b が形成される。ただし図 1 3 (A) ～(C) の工程では、前記 InGaAsP 層 1 0 4 A は約 0. 5 2 μ m の厚さに形成される。

【 0 0 7 0 】

次に図 1 4 (D) の工程において前記 SiO_2 膜 1 0 5 が HF 処理により除去され、図 1 4 (E) の工程において塩酸と酢酸と過酸化水素水と水との混合液よりなる第 1 のエッチャントを使い、図 1 4 (D) の構造をウェットエッチングする。

【 0 0 7 1 】

図 1 4 (E) の工程において、前記第 1 のエッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は 1 : 1 : 0. 1 : 1 に設定され、エッチングは液温 23°C で典型的には 1 分間行われる。前記第 1 のエッチャントを使った場合、前記 InP 埋込層 1 0 6₁, 1 0 6₂ に対しては前記 InGaAsP 速度調整層 1 0 4 A に対するよりも大きいエッチング速度が得られ、かかるエッチングの結果、図 1 4 (E) に示すように前記 InP 埋込層 1 0 6 A, 1 0 6 B の表面 1 0 6 a, 1 0 6 b は (1 0 0) 面あるいはその近傍の指数を有する平坦化面 1 0 6 c, 1 0 6 d に変化する。このようにして形成された平坦化面 1 0 6 c, 1 0 6 d は、図 1 4 (E) の段階において InGaAsP 層 1 0 4 A の表面に対して高さが約 $0.12\mu\text{m}$ の段差を形成し、その結果図 1 4 (E) の構造上には高さが $0.12\mu\text{m}$ の凸構造が形成される。

【 0 0 7 2 】

次に図 1 4 (F) の工程において、塩酸と酢酸と過酸化水素水と水とよりなる第 2 のエッチャントを使い、前記図 1 4 (E) の構造を、前記 InGaAsP 層 1 0 4 A の下の p 型 InGaAs コンタクト層 1 0 4 が露出するまでウェットエッチングする。

【 0 0 7 3 】

図 1 4 (F) のウェットエッチング工程では、前記第 2 のエッチャント中の塩酸と酢酸と過酸化水素水と水の混合比が 1 : 1 : 0. 6 : 1 に設定され、エッチングは 23°C の液温で典型的には 2 分間行われる。前記第 2 のエッチャントを使ったウェットエッチング工程では、前記 InGaAsP 速度調整層 1 4 A に対するエッチング速度が前記 InP 埋込層 1 0 6₁, 1 0 6₂ に対するエッチング速度よりも大きくなり、その結果、図 1 4 (E) の工程において生じていた表面段差が消滅し、図 1 4 (F) に示すように、 InP 埋込層 1 0 6₁, 1 0 6₂ と In

GaAsコンタクト層104とが平坦化された構造が得られる。

【0074】

最後に図示は省略するが、先の図12(G)の工程で、前記p型InGaAs層104上にp側電極107を、また前記基板101の下面上にn側電極108を形成する。

【0075】

本実施例においても前記埋込層 106_1 、 106_2 は、図14(F)の段階において前記コンタクト層104と共通の平坦面を形成するため、前記p側電極107は平面上に積層され、従って先に図2で説明した電極途切れの問題は生じない。

[第3実施例]

図15(A)～図16(F)は本発明の第3実施例によるBH構造を有するレーザーダイオードの製造工程を示す。ただし図15(A)～図16(F)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0076】

図15(A)～図16(F)を参照するに、図15(A)～(C)までの工程は先に説明した図13(A)～(C)までの工程と実質的に同一であり、 SiO_2 膜105で覆われたメサ構造101Mの両側に、前記 SiO_2 膜105を選択成長マスクとしてInP埋込層 106_1 および 106_2 が再成長により形成され、これに伴い前記InP埋込層 106_1 および 106_2 には段差部106aおよび106bが形成される。図15(A)～(C)の工程では、前記InGaAsP層104Aは約 $0.52\mu m$ の厚さに形成される。

【0077】

次に図16(D)の工程において前記 SiO_2 膜105がHF処理により除去され、図16(E)の工程において塩酸と酢酸と過酸化水素水と水との混合液よりなる第1のエッチャントを使い、図16(D)の構造をウェットエッチングする。

【0078】

図16(E)の工程において、前記第1のエッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.3:1に設定され、エッチングは液温23°Cで典型的には1分間行われる。前記第1のエッチャントを使った場合、前記InP埋込層106₁、106₂に対しては前記InGaAsP層104Aのエッチング速度よりも小さいエッチング速度が得られ、かかるエッチングの結果、図16(E)に示すように前記InP埋込層106A、106Bの表面106a、106bは(100)面あるいはその近傍の指数を有する平坦化面106c、106dに変化する。このようにして形成された平坦化面106c、106dは、図16(E)の段階においてInGaAsP層104Aの表面に対して高さが約0.12μmの段差を形成し、その結果図16(E)の構造ではその表面上に高さが0.12μmの凹構造が形成される。

【0079】

次に図16(F)の工程において、塩酸と酢酸と過酸化水素水と水とよりなる第2のエッチャントを使い、前記図16(E)の構造を、前記InGaAsP層104Aの下にp型InGaAsコンタクト層104が露出するまでウェットエッチングする。

【0080】

図16(F)のウェットエッチング工程では、前記第2のエッチャント中の塩酸と酢酸と過酸化水素水と水の混合比が1:1:0.1:1に設定され、エッチングは23°Cの液温で典型的には2分間行われる。前記第2のエッチャントを使ったウェットエッチング工程では、前記InGaAsP層14Aに対するエッチング速度が前記InP埋込層106₁、106₂に対するエッチング速度よりも小さくなり、その結果、図16(E)の工程において生じていた表面段差が消滅し、図16(F)に示すように、InP埋込層106₁、106₂とInGaAsコンタクト層104とが平坦化された構造が得られる。

【0081】

最後に図示は省略するが、先の図12(G)の工程で、前記p型InGaAs層104上にp側電極107を、また前記基板101の下面上にn側電極108を形成する。

【0082】

本実施例においても前記埋込層 106_1 、 106_2 は、図16(F)の段階において前記コンタクト層104と共通の平坦面を形成するため、前記p側電極107は平面上に積層され、従って先に図2で説明した電極途切れの問題は生じない。

[第4実施例]

図17(A)～図18(E)は本発明の第3実施例によるBH構造を有するレーザーダイオードの製造工程を示す。ただし図17(A)～図18(E)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0083】

図17(A)～図18(E)を参照するに、図17(A)～(C)までの工程は先に説明した図13(A)～(C)までの工程と実質的に同一であり、 SiO_2 膜105で覆われたメサ構造101Mの両側に、前記 SiO_2 膜105を選択成長マスクとしてInP埋込層 106_1 および 106_2 が再成長により形成され、これに伴い前記InP埋込層 106_1 および 106_2 には段差部106aおよび106bが形成される。ただし図18(A)～(C)の工程では、前記InGaAsP層104Aは約 $0.28\mu\text{m}$ の厚さに形成される。

【0084】

次に図18(D)の工程において前記 SiO_2 膜105がHF処理により除去され、図18(E)の工程において塩酸と酢酸と過酸化水素水と水との混合液よりなるエッチャントを使い、図18(D)の構造をウェットエッチングする。

【0085】

図18(E)の工程において、前記エッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.2:1に設定され、エッチングは液温 23°C で典型的には2分間行われる。前記エッチャントを使った場合、前記InP埋込層 106_1 、 106_2 に対しても前記InGaAsP層104Aに対しても実質的に同じエッチング速度が得られ、かかるエッチングの結果、図18(E)に示すように前記InP埋込層106A、106Bの表面106a、106bは(

100) 面あるいはその近傍の指数を有する平坦化面 106c, 106d に変化するとともに、前記平坦化面 106c, 106d は前記 InGaAs コンタクト層 104 の表面に実質的に一致する平坦面を形成する。

【0086】

最後に図示は省略するが、先の図 12 (G) の工程で、前記 p 型 InGaAs 層 104 上に p 側電極 107 を、また前記基板 101 の下面上に n 側電極 108 を形成する。

【0087】

本実施例においても前記埋込層 106_1 , 106_2 は、図 18 (E) の段階において前記コンタクト層 104 と共通の平坦面を形成するため、前記 p 側電極 107 は平面上に積層され、従って先に図 2 で説明した電極途切れの問題は生じない。

[第 5 実施例]

図 19 (A) ~ 図 20 (E) は本発明の第 3 実施例による BH 構造を有するレーザーダイオードの製造工程を示す。ただし図 19 (A) ~ 図 20 (E) 中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0088】

図 19 (A) ~ 図 20 (E) を参照するに、図 19 (A) ~ (C) までの工程は先に説明した図 13 (A) ~ (C) までの工程と類似しており、 SiO_2 膜 105 で覆われたメサ構造 101M の両側に、前記 SiO_2 膜 105 を選択成長マスクとして InP 埋込層 106_1 および 106_2 が再成長により形成され、これに伴い前記 InP 埋込層 106_1 および 106_2 には段差部 106a および 106b が形成される。ただし図 19 (A) ~ (C) の工程では前記コンタクト層 104 上に、図 13 (A) ~ (C) の工程で使われる InGaAsP 層 104A の代わりに InP 層 104B が、約 $0.2\mu\text{m}$ の厚さに形成される。

【0089】

次に図 2 (D) の工程において前記 SiO_2 膜 105 が HF 処理により除去され、図 20 (E) の工程において塩酸と酢酸と水との混合液よりなるエッチャン

トを使い、図 2 0 (D) の構造をウェットエッチングする。

【0090】

図 2 0 (E) の工程において、前記エッチャント中における塩酸と酢酸と水の混合比は例えば 1 : 5 : 1 に設定され、エッチングは液温 2 3 ° C で典型的には 2 分間行われる。かかるエッチングの結果、図 2 0 (E) に示すように前記 I n P 埋込層 1 0 6 A, 1 0 6 B の表面 1 0 6 a, 1 0 6 b は (1 0 0) 面あるいはその近傍の指数を有する平坦化面 1 0 6 c, 1 0 6 d に変化するとともに前記 I n P 層 1 0 4 B が実質的に同じ速度でエッチングされ、前記平坦化面 1 0 6 c, 1 0 6 d は前記 I n G a A s コンタクト層 1 0 4 の表面に実質的に一致する平坦面を形成する。

【0091】

最後に図示は省略するが、先の図 1 2 (G) の工程で、前記 p 型 I n G a A s 層 1 0 4 上に p 側電極 1 0 7 を、また前記基板 1 0 1 の下面上に n 側電極 1 0 8 を形成する。

【0092】

本実施例においても前記埋込層 1 0 6₁, 1 0 6₂ は、図 2 0 (E) の段階において前記コンタクト層 1 0 4 と共通の平坦面を形成するため、前記 p 側電極 1 0 7 は平面上に積層され、従って先に図 2 で説明した電極途切れの問題は生じない。

【0093】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0094】

【発明の効果】 本発明によれば、I n を含み I n P とは異なる組成の I I I - V 族化合物半導体層を含むメサ構造に隣接して I n P 埋込層を選択成長マスクを使った選択成長工程により形成する際に、前記化合物半導体層上に I n を含む I I I - V 族化合物半導体よりなる速度調整層を形成しておき、塩酸と酢酸を含むエッチャントにより前記 I n P 埋込層と速度調整層とをウェットエッチング

することにより、前記 I n P 埋込層の選択成長時に生じる段差が解消し、前記化合物半導体層の上面に一致した平坦面を有する構造を得ることが可能になる。

【図面の簡単な説明】

【図 1】

(A) ～ (D) は、関連技術による埋込ヘテロ構造を有するレーザダイオードの製造工程を示す図である。

【図 2】

図 1 の工程に伴う問題点を説明する図である。

【図 3】

本発明の原理を説明する図である。

【図 4】

本発明の原理を説明する別の図である。

【図 5】

本発明の原理を説明するさらに別の図である。

【図 6】

本発明の原理を説明するさらに別の図である。

【図 7】

(A) ～ (D) は本発明による半導体装置の製造方法における第 1 の基本類型を示す図である。

【図 8】

(A) ～ (D) は本発明による半導体装置の製造方法における第 2 の基本類型を示す図である。

【図 9】

(A) ～ (C) は本発明による半導体装置の製造方法における第 3 の基本類型を示す図である。

【図 1 0】

(A) ～ (D) は本発明による半導体装置の製造方法における第 4 の基本類型を示す図である。

【図 1 1】

(A) ~ (C) は本発明の第 1 実施例によるレーザダイオードの製造工程を示す図 (その 1) である。

【図 1 2】

(D) ~ (G) は本発明の第 1 実施例によるレーザダイオードの製造工程を示す図 (その 2) である。

【図 1 3】

(A) ~ (C) は本発明の第 2 実施例によるレーザダイオードの製造工程を示す図 (その 1) である。

【図 1 4】

(D) ~ (F) は本発明の第 2 実施例によるレーザダイオードの製造工程を示す図 (その 2) である。

【図 1 5】

(A) ~ (C) は本発明の第 3 実施例によるレーザダイオードの製造工程を示す図 (その 1) である。

【図 1 6】

(D) ~ (F) は本発明の第 3 実施例によるレーザダイオードの製造工程を示す図 (その 2) である。

【図 1 7】

(A) ~ (C) は本発明の第 4 実施例によるレーザダイオードの製造工程を示す図 (その 1) である。

【図 1 8】

(D) ~ (E) は本発明の第 4 実施例によるレーザダイオードの製造工程を示す図 (その 2) である。

【図 1 9】

(A) ~ (C) は本発明の第 5 実施例によるレーザダイオードの製造工程を示す図 (その 1) である。

【図 2 0】

(D) ~ (E) は本発明の第 5 実施例によるレーザダイオードの製造工程を示す図 (その 2) である。

【符号の説明】

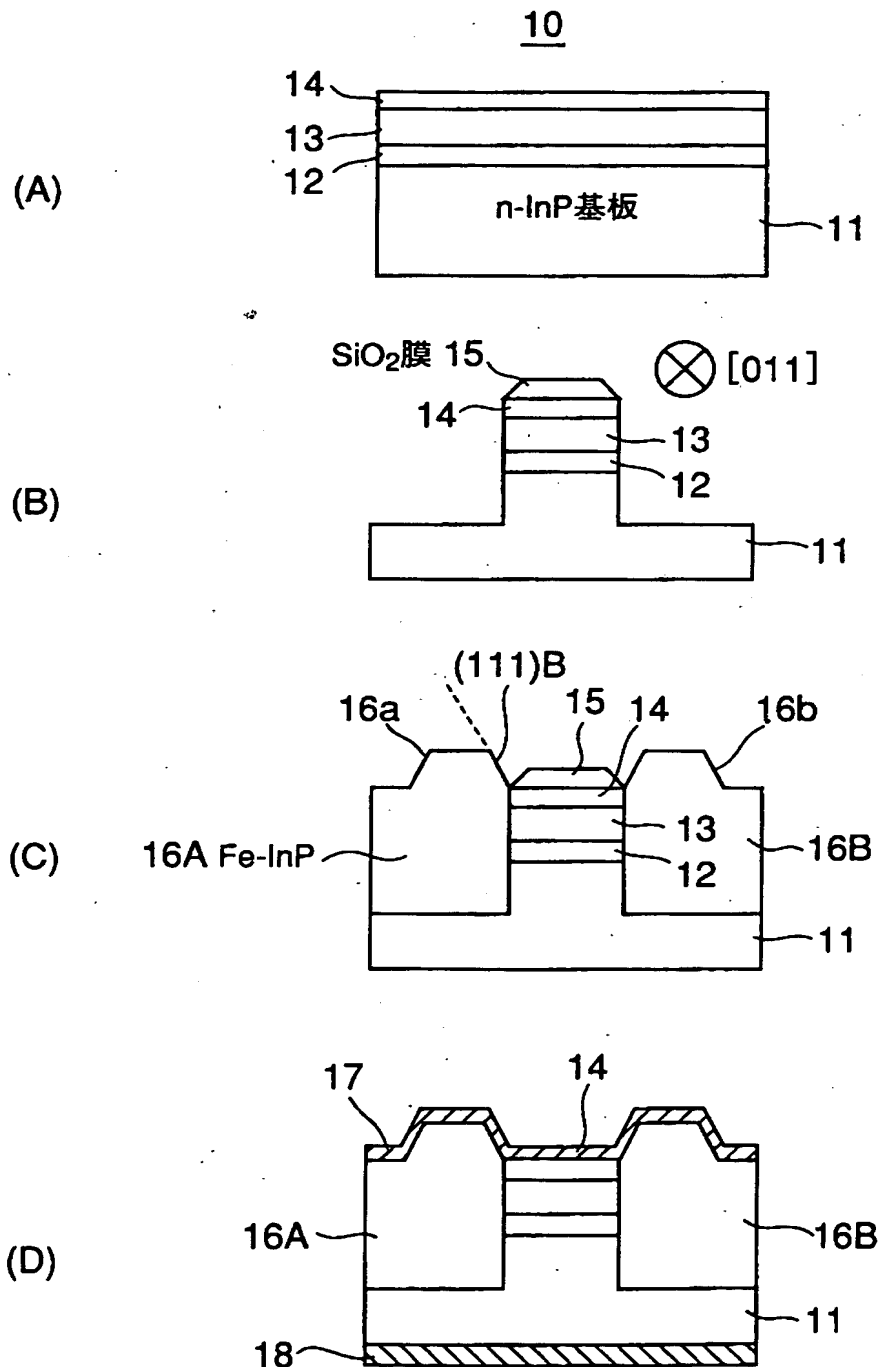
- 10 レーザダイオード
- 11 InP基板
- 12 多層量子井戸活性層
- 13 InPクラッド層
- 14 InGaAsコンタクト層
- 15 SiO₂マスク
- 16A, 16B InP埋込層
- 16a, 16b 盛り上がり部
- 16c, 16d 平坦化面
- 17, 18 電極
- 17a 電極途切れ
- 101 InP基板
- 102 多重量子井戸層
- 103 InPクラッド層
- 104 InGaAsコンタクト層
- 105 SiO₂マスク
- 106₁, 106₂ InP埋込層
- 106a, 106b 盛り上がり
- 106c, 106d 平坦化面
- 107, 108 電極

【書類名】

図面

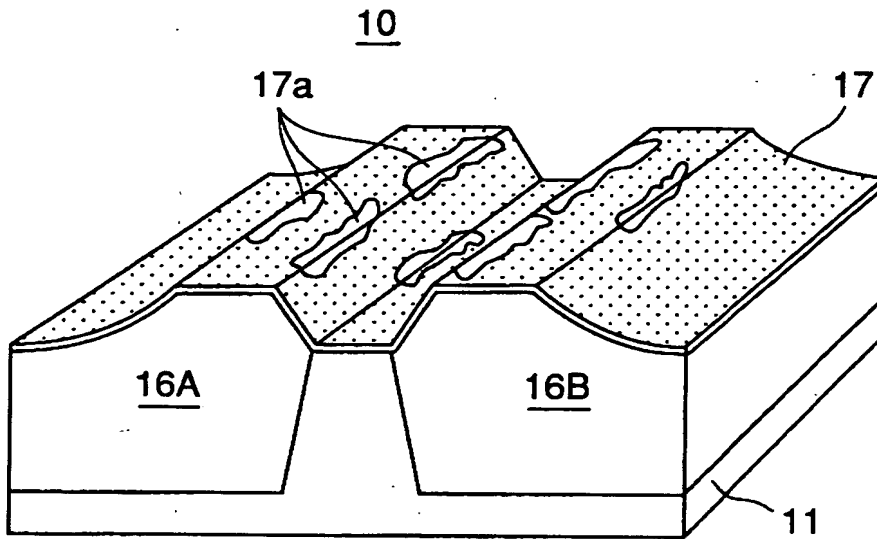
【図 1】

(A)～(D)は、関連技術による埋込ヘテロ構造を有するレーザダイオードの製造工程を示す図



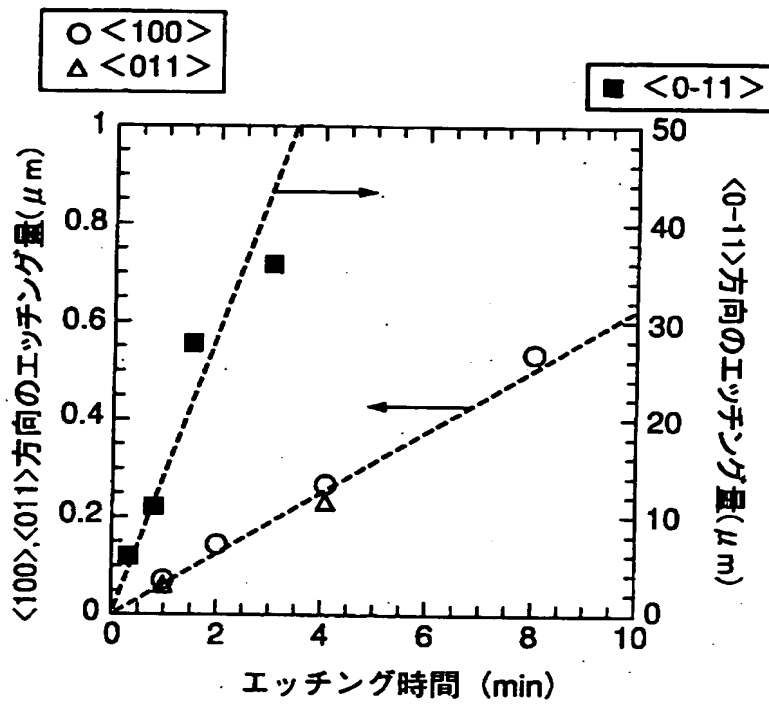
【図 2】

図1の工程に伴う問題点を説明する図



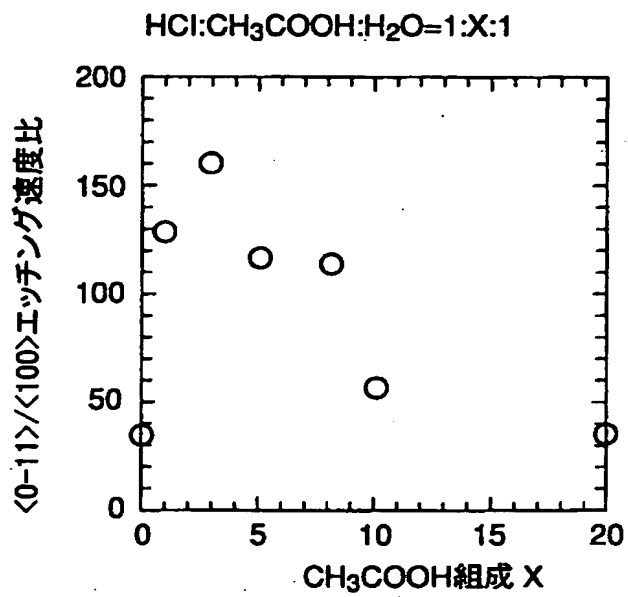
【図 3】

本発明の原理を説明する図



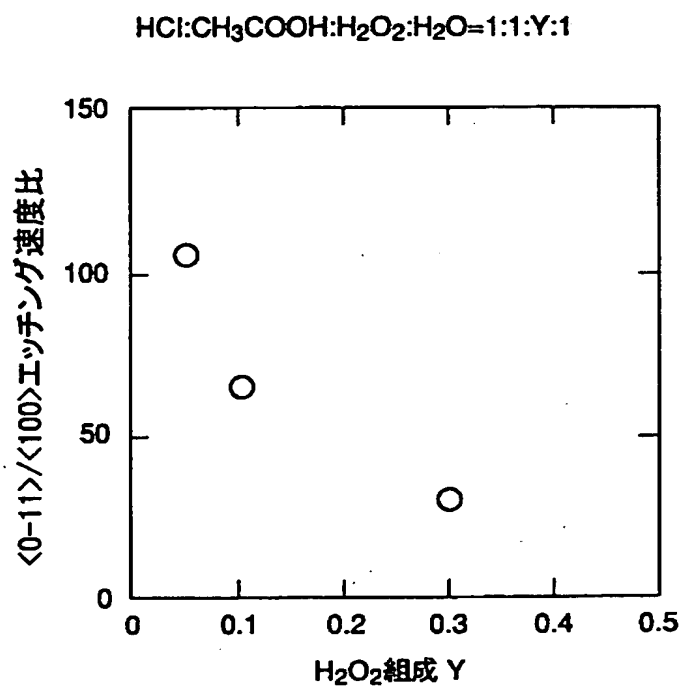
【図 4】

本発明の原理を説明する別の図



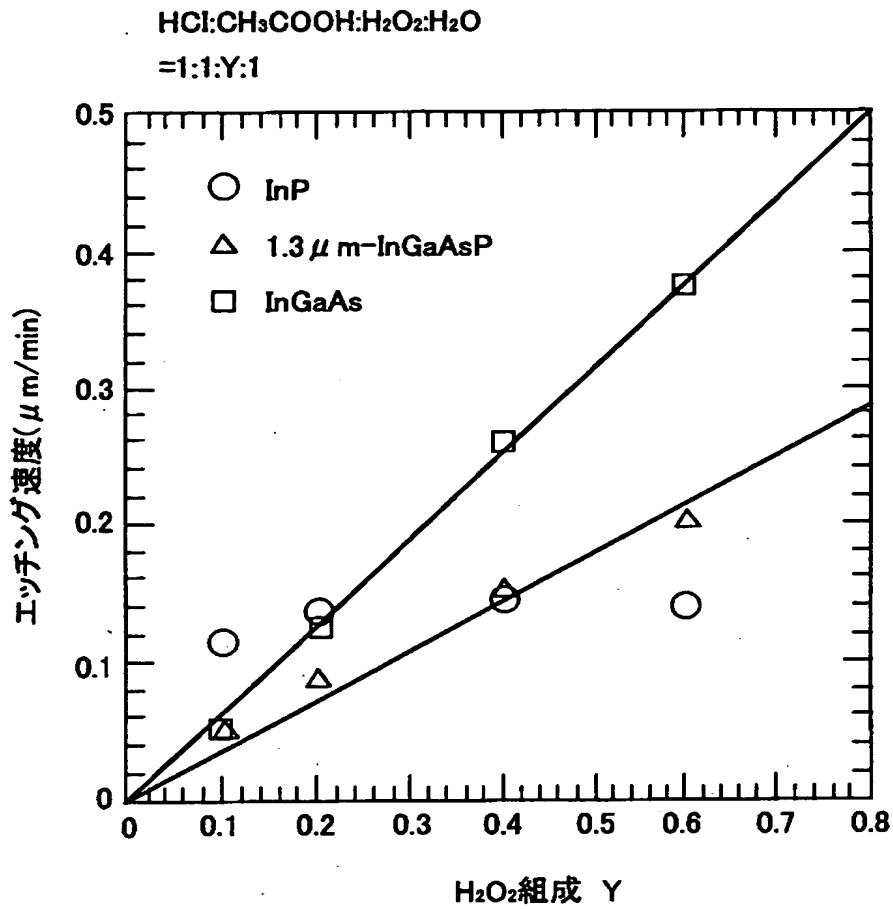
【図 5】

本発明の原理を説明するさらに別の図



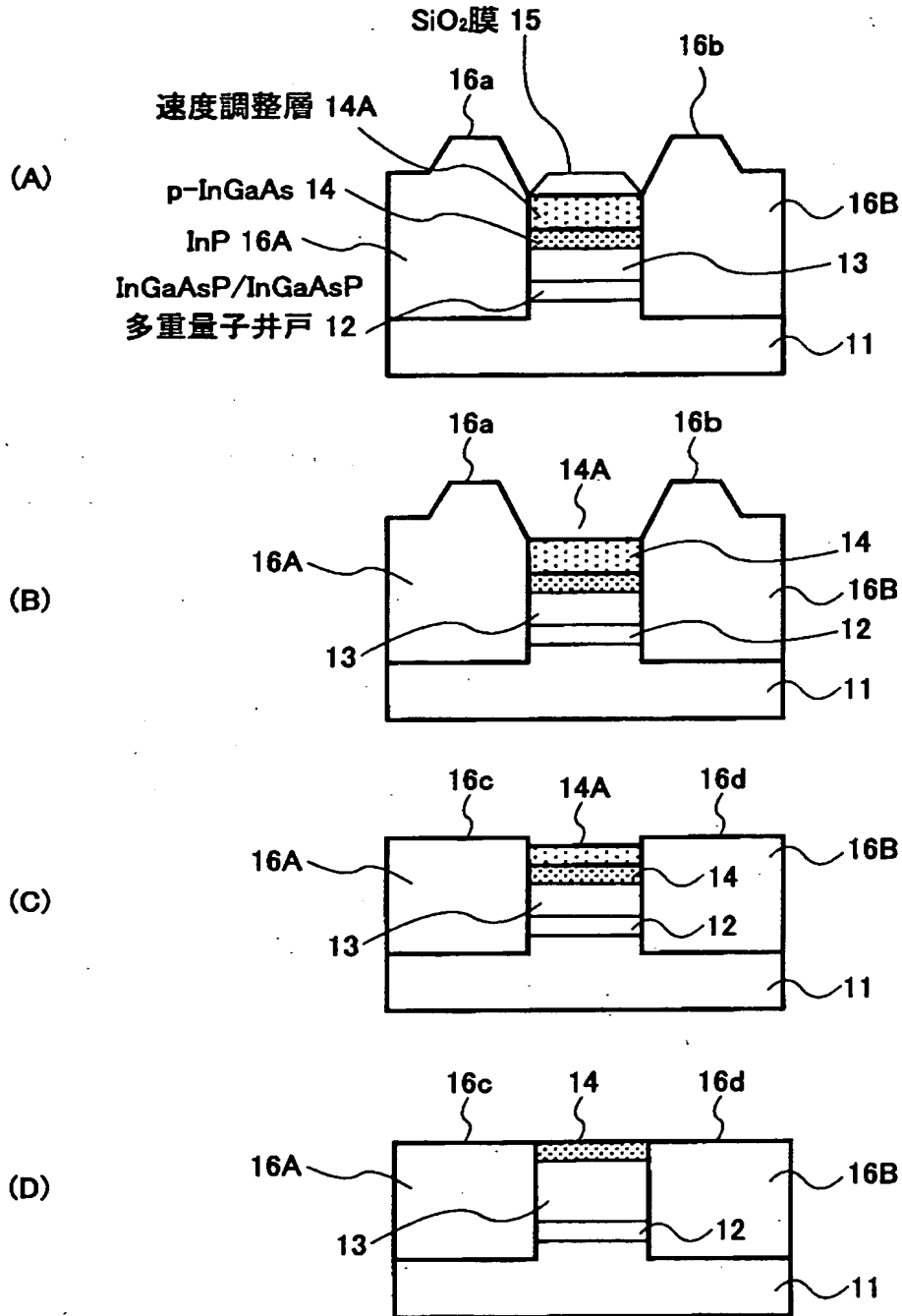
【図 6】

本発明の原理を説明するさらに別の図



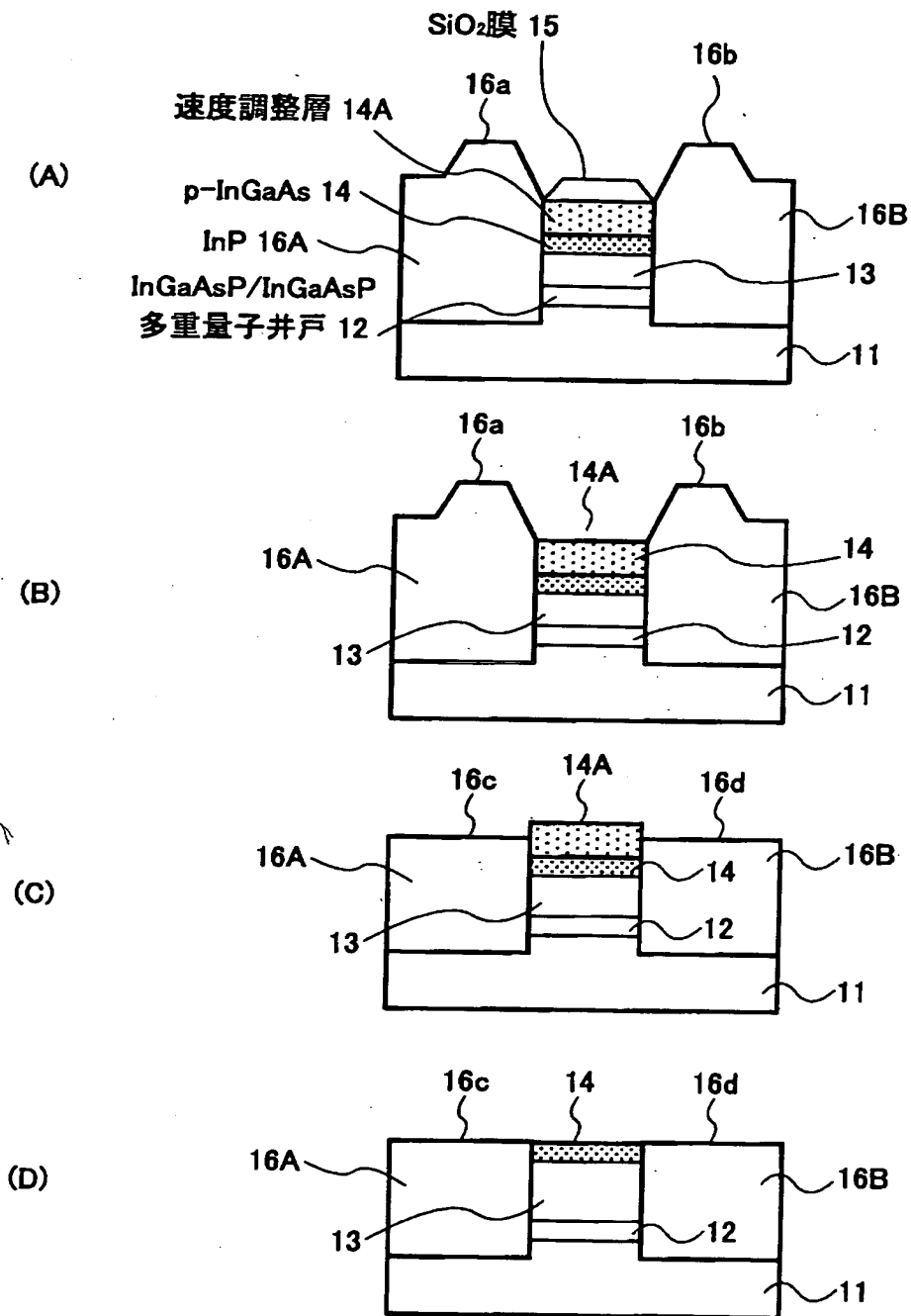
【図 7】

(A) ~ (D) は本発明による半導体装置の製造方法
における第1の基本類型を示す図



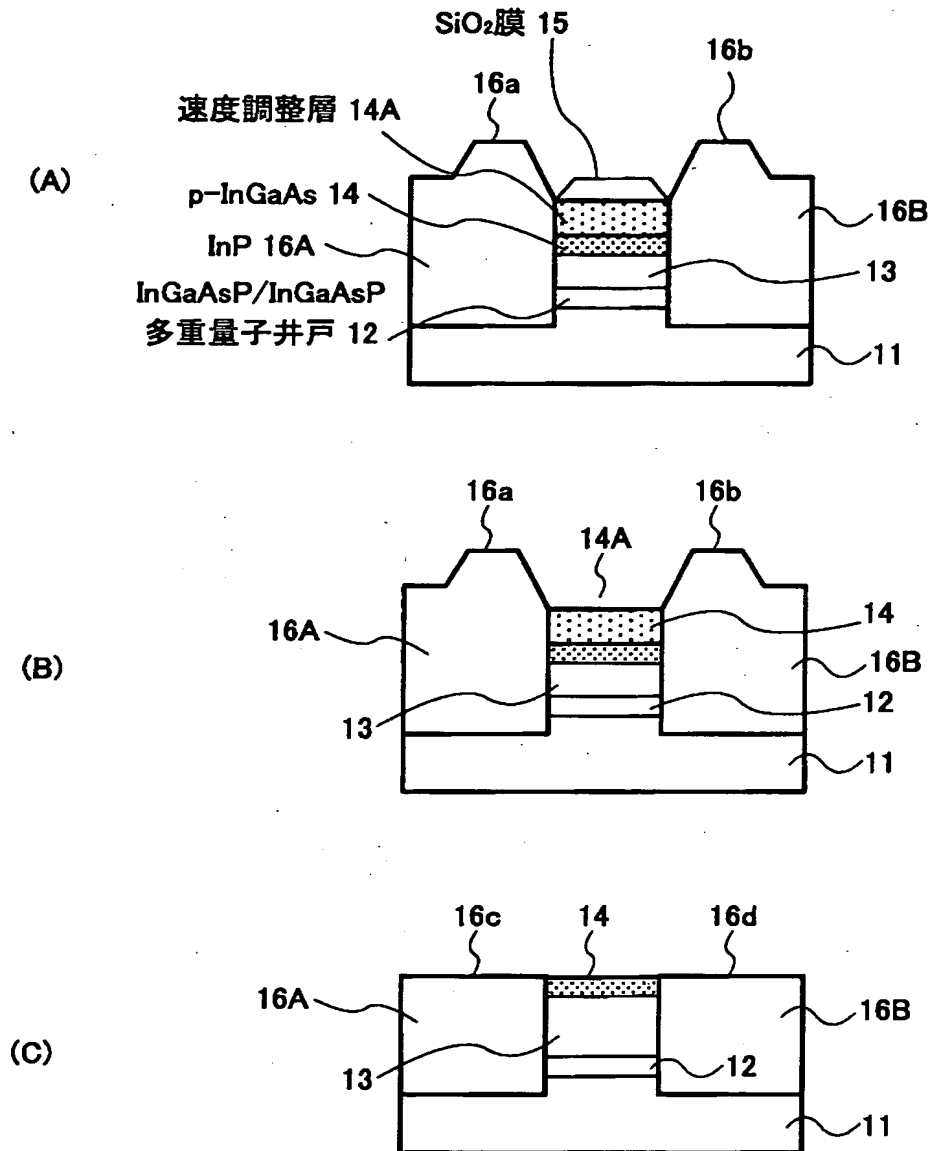
【図 8】

(A) ~ (D) は本発明による半導体装置の製造方法
における第2の基本類型を示す図



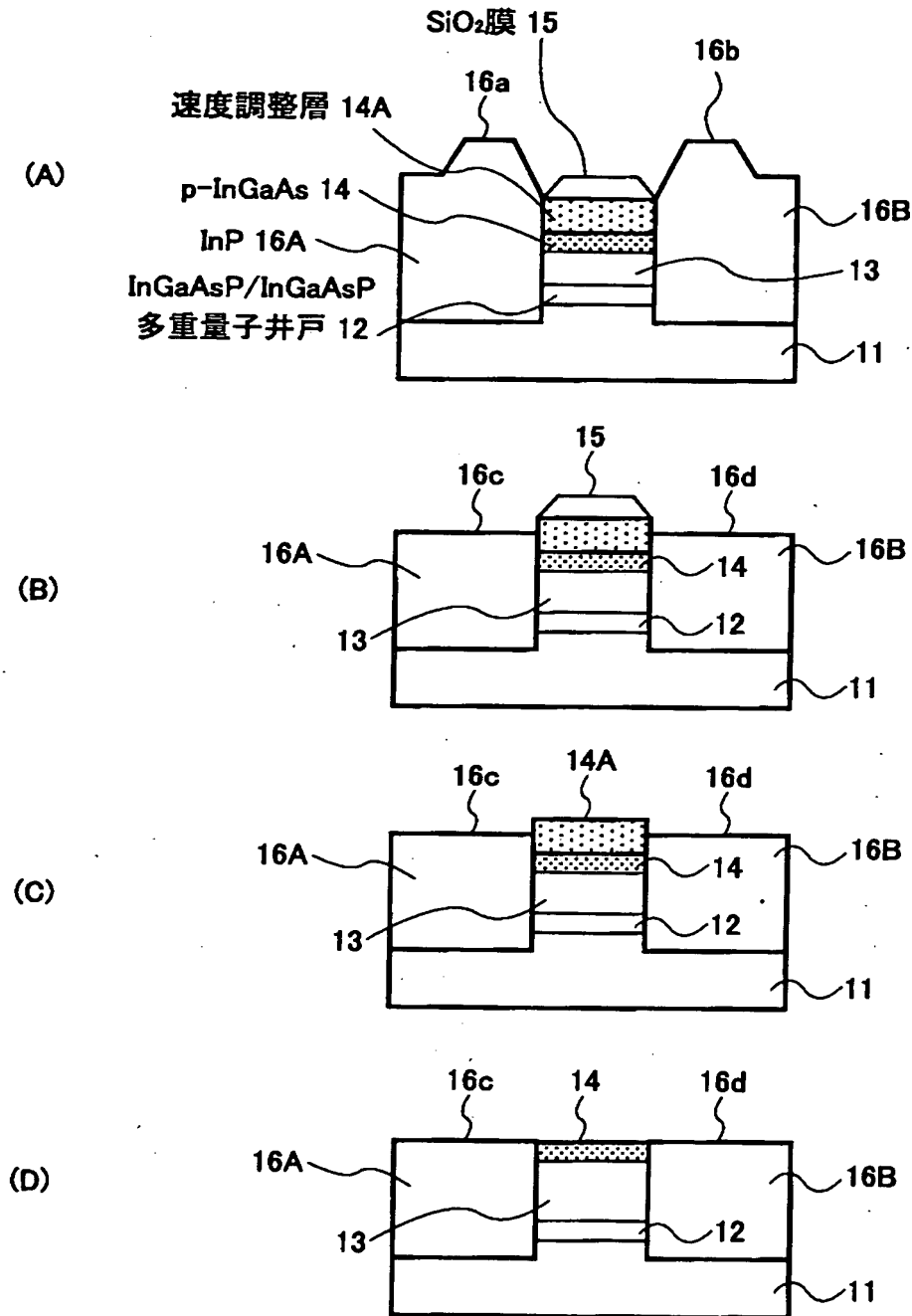
【図 9】

(A) ~ (C) は本発明による半導体装置の製造方法
における第3の基本類型を示す図



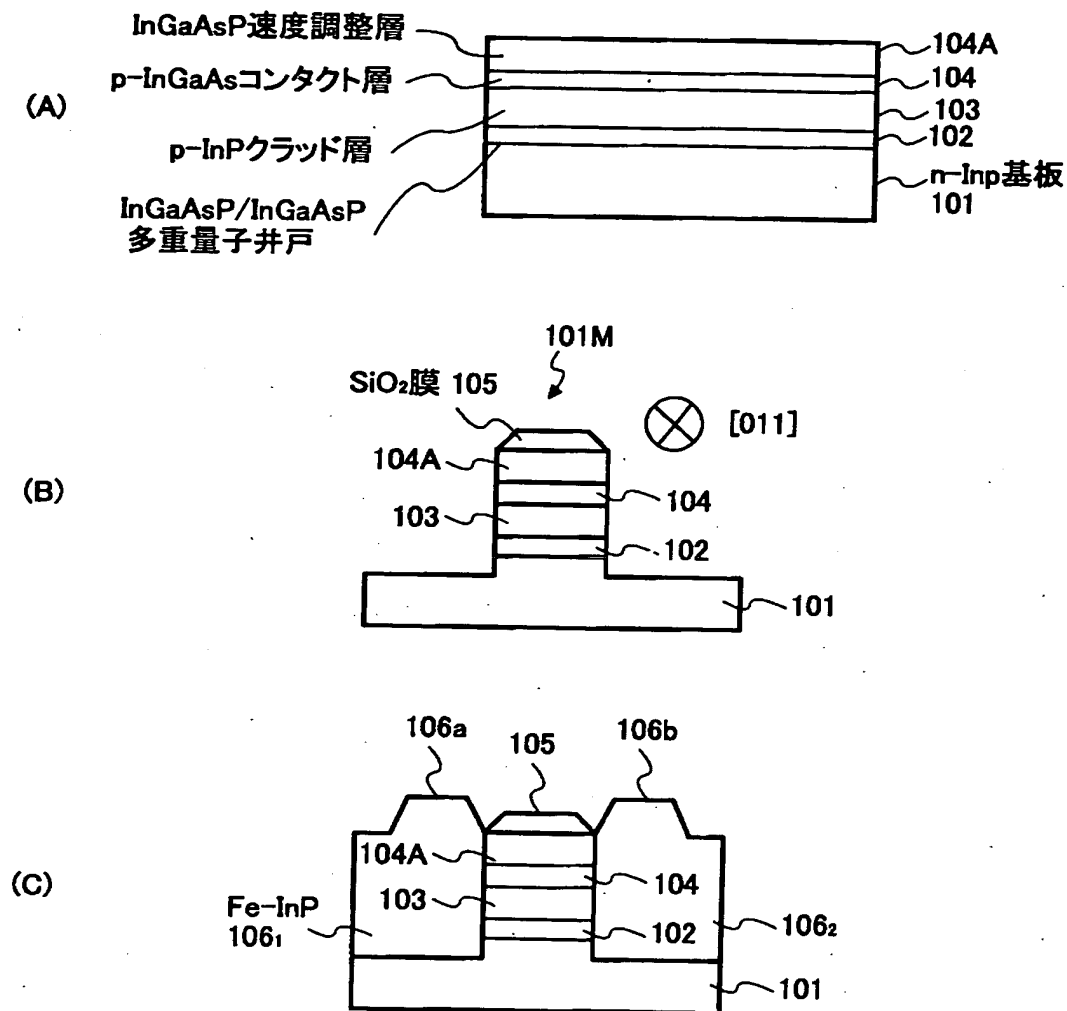
【図 1 0】

(A) ~ (D) は本発明による半導体装置の製造方法
における第4の基本類型を示す図



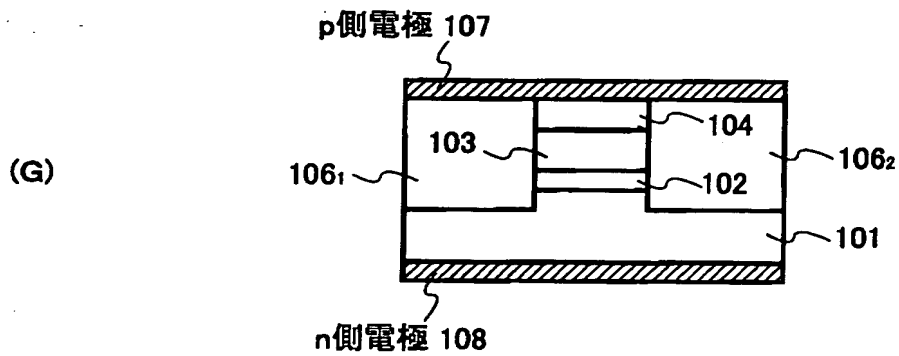
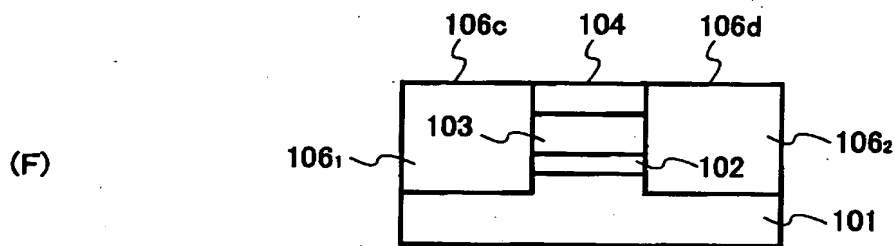
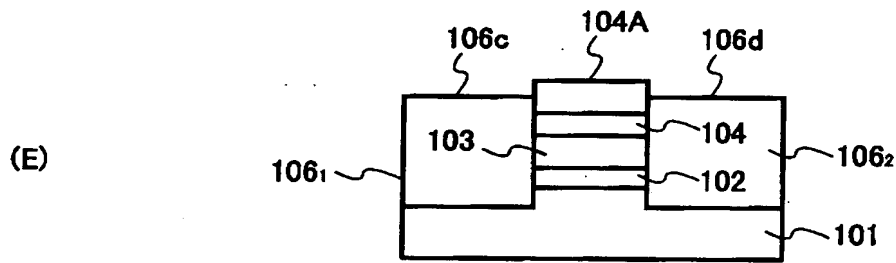
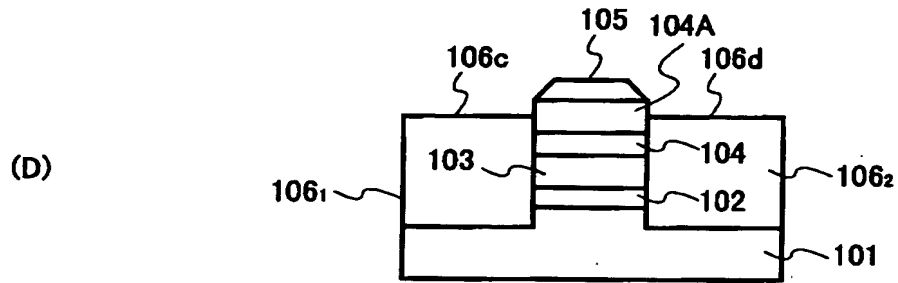
【図11】

(A)～(C)は本発明の第1実施例による
レーザダイオードの製造工程を示す図（その1）



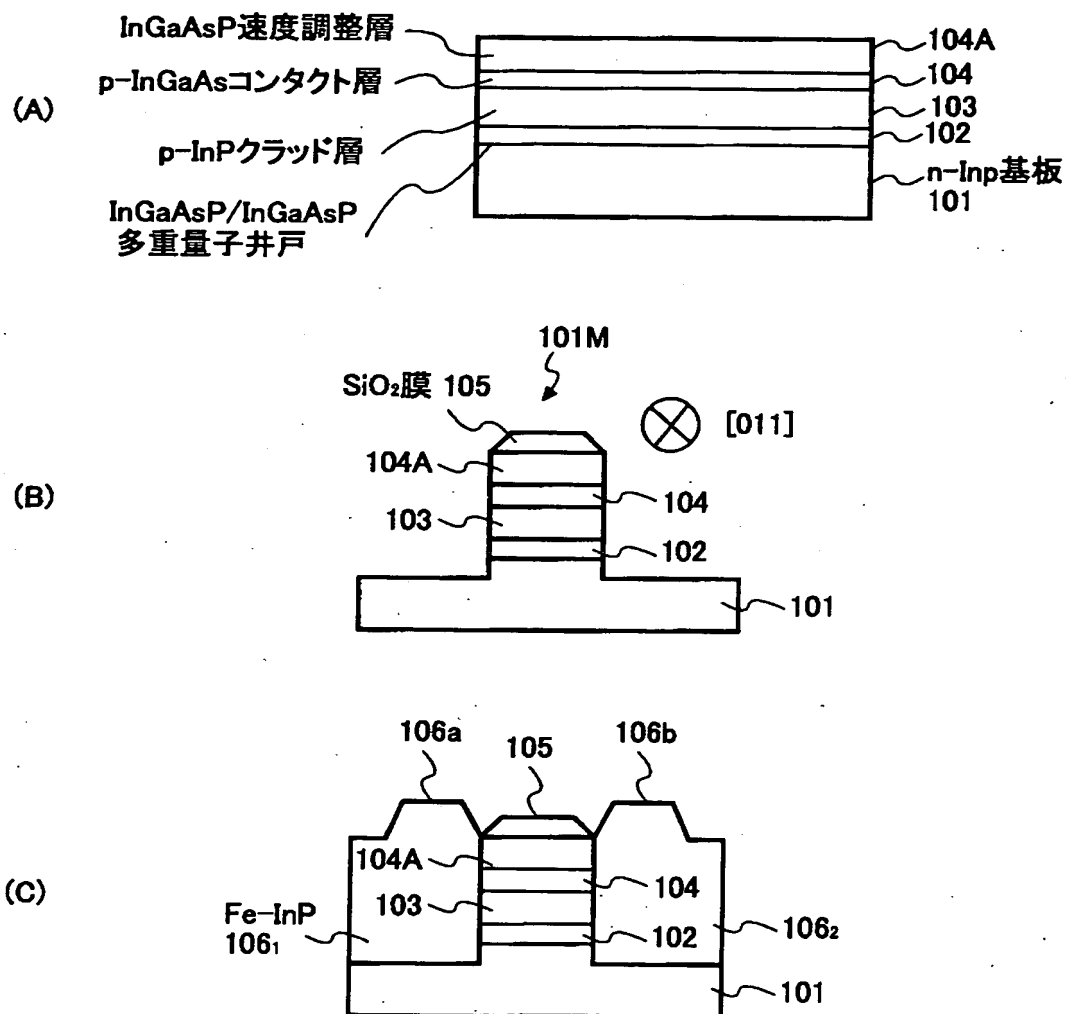
【図 1 2】

(D) ~ (G) は本発明の第 1 実施例による
レーザダイオードの製造工程を示す図 (その 2)



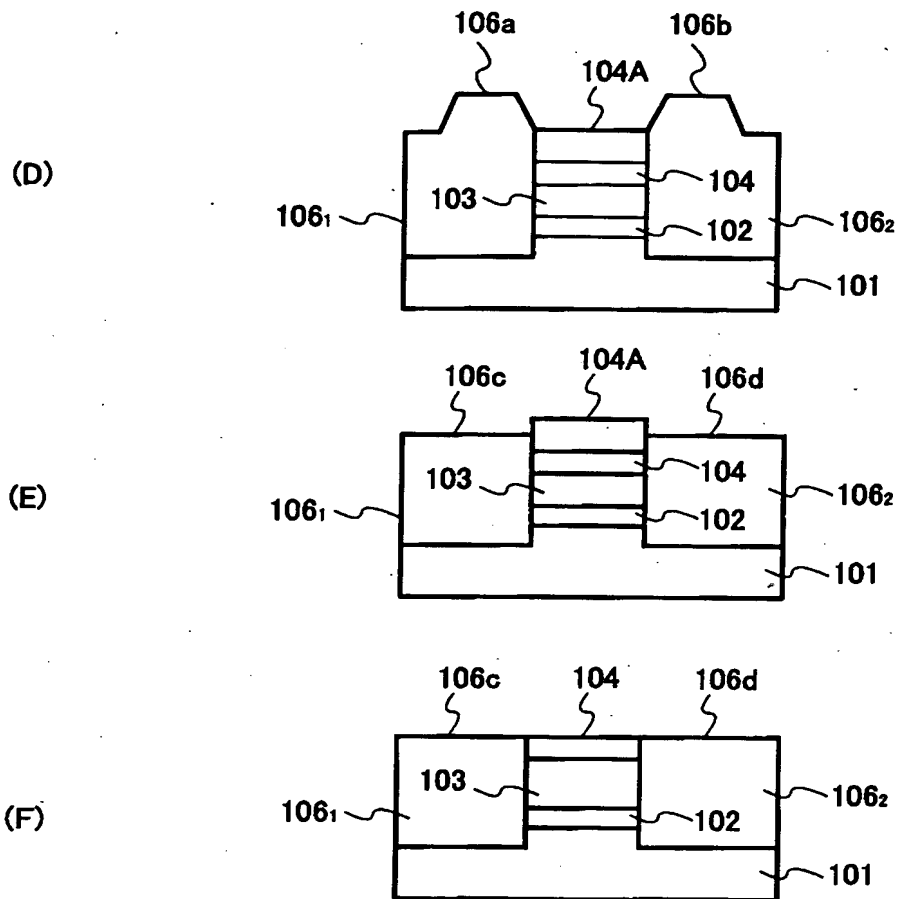
【図13】

(A)～(C)は本発明の第2実施例による
レーザダイオードの製造工程を示す図（その1）



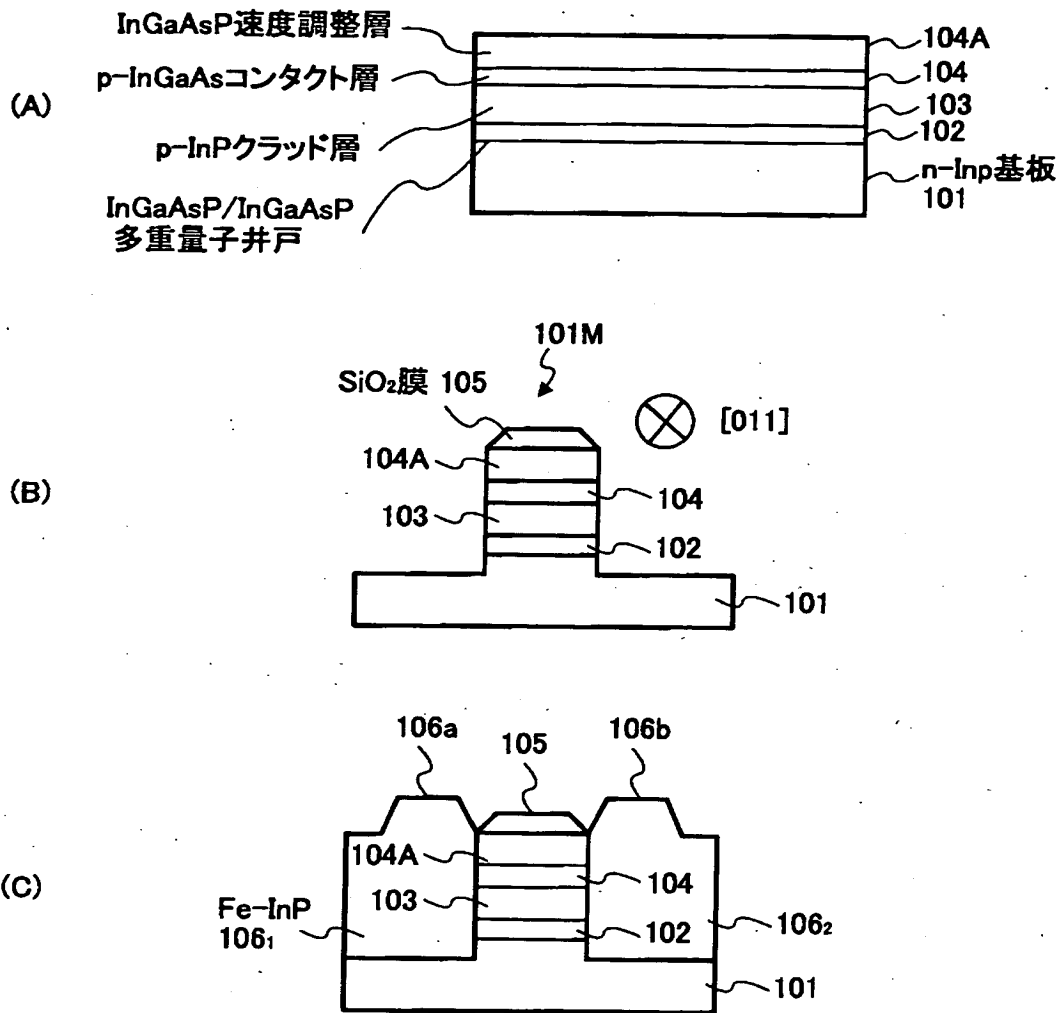
【図 1 4】

(D) ~ (F) は本発明の第2実施例による
レーザダイオードの製造工程を示す図（その 2）



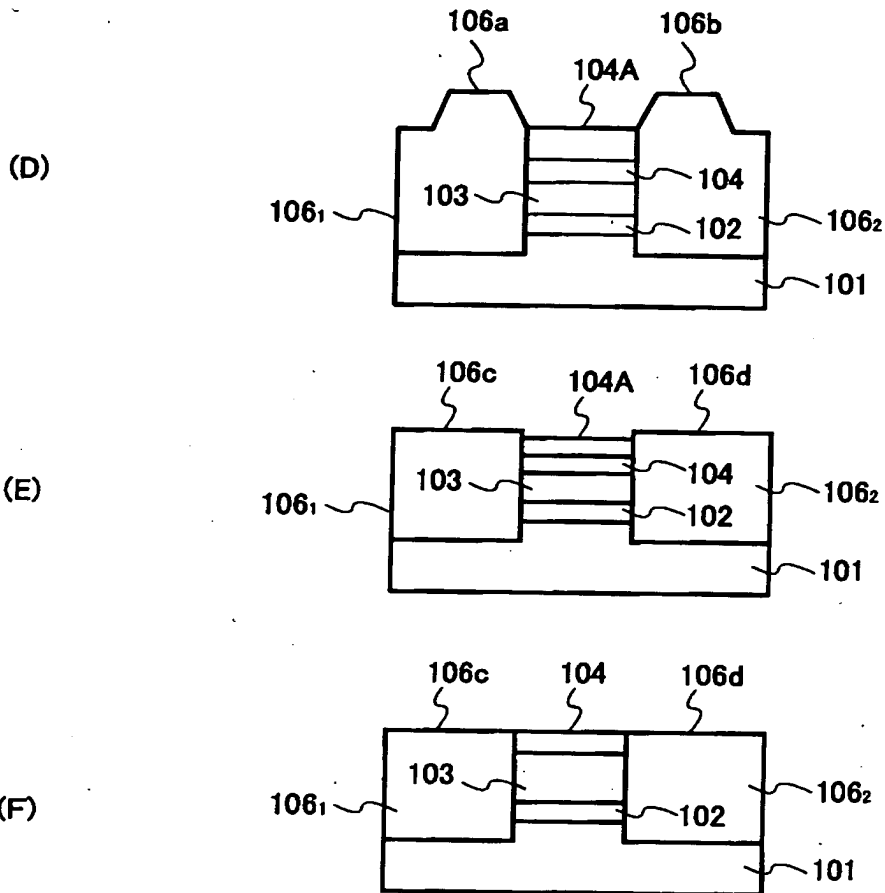
【図 1 5】

(A) ~ (C) は本発明の第3実施例による
レーザダイオードの製造工程を示す図（その 1）



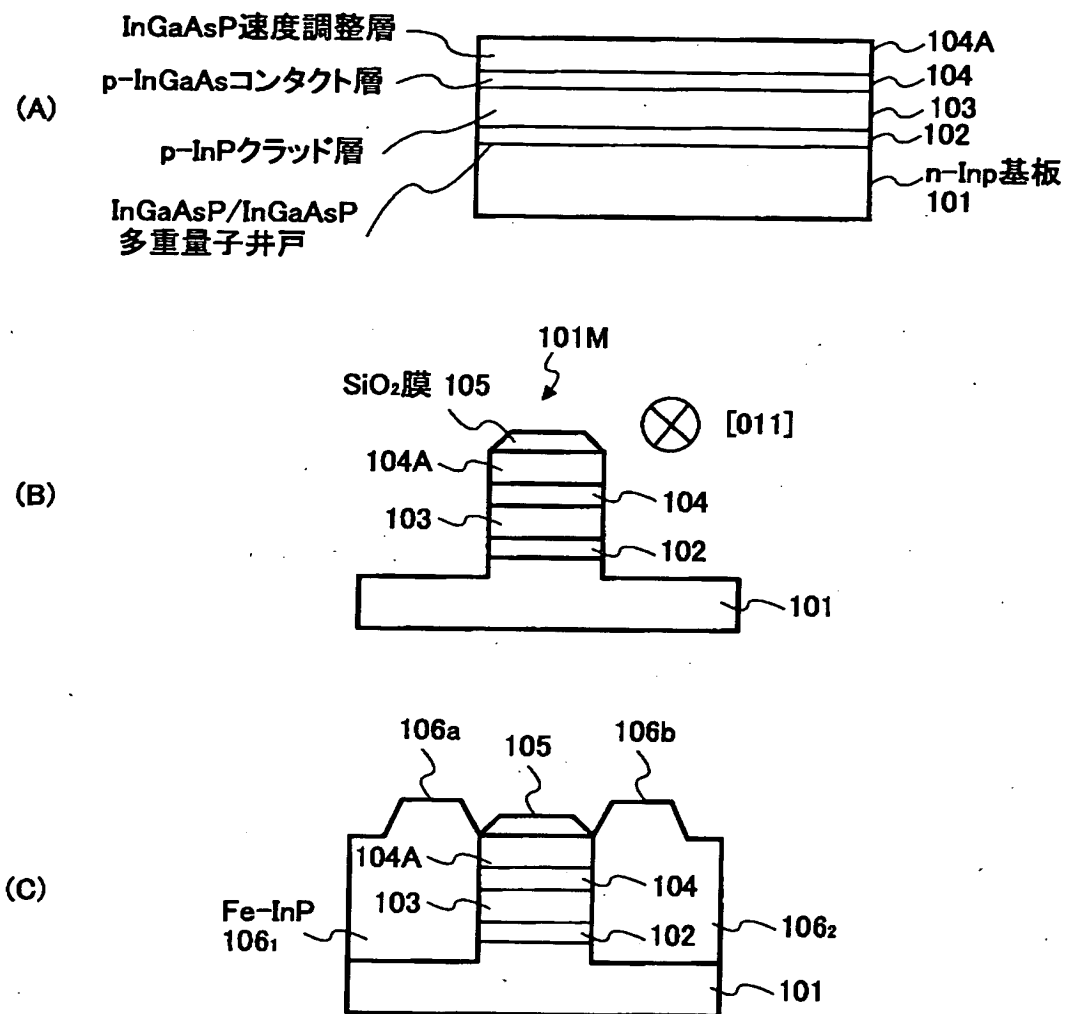
【図 1 6】

(D) ~ (F) は本発明の第3実施例による
レーザダイオードの製造工程を示す図 (その 2)



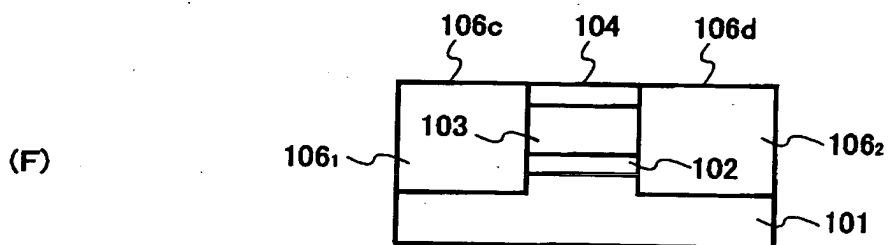
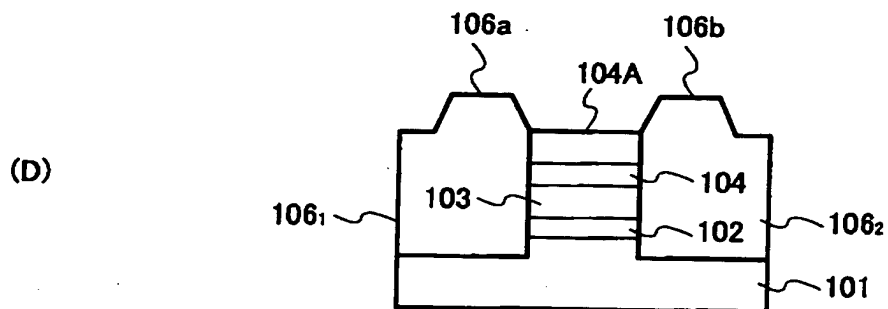
【図17】

(A)～(C)は本発明の第4実施例による
レーザダイオードの製造工程を示す図（その1）



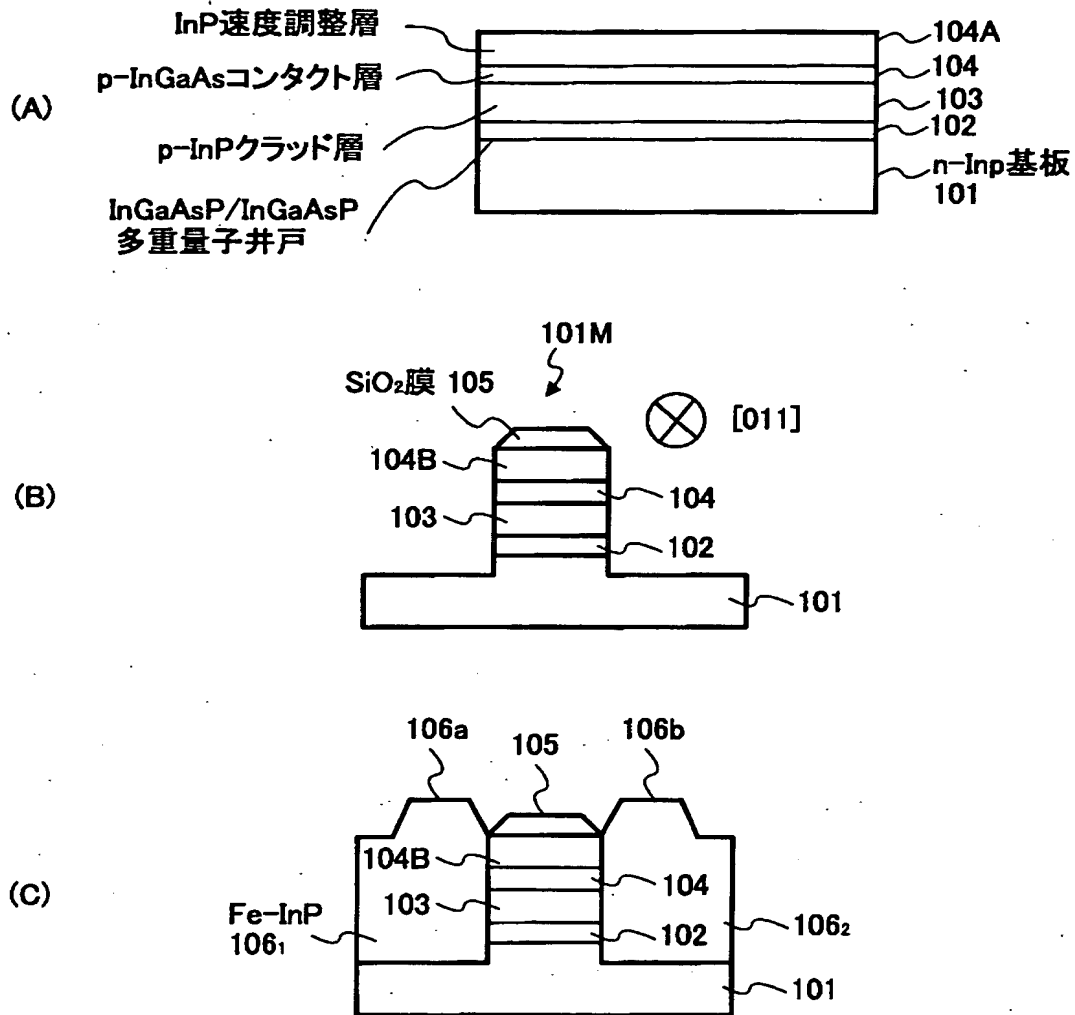
【図 1 8】

(D)～(F)は本発明の第4実施例による
レーザダイオードの製造工程を示す図（その2）



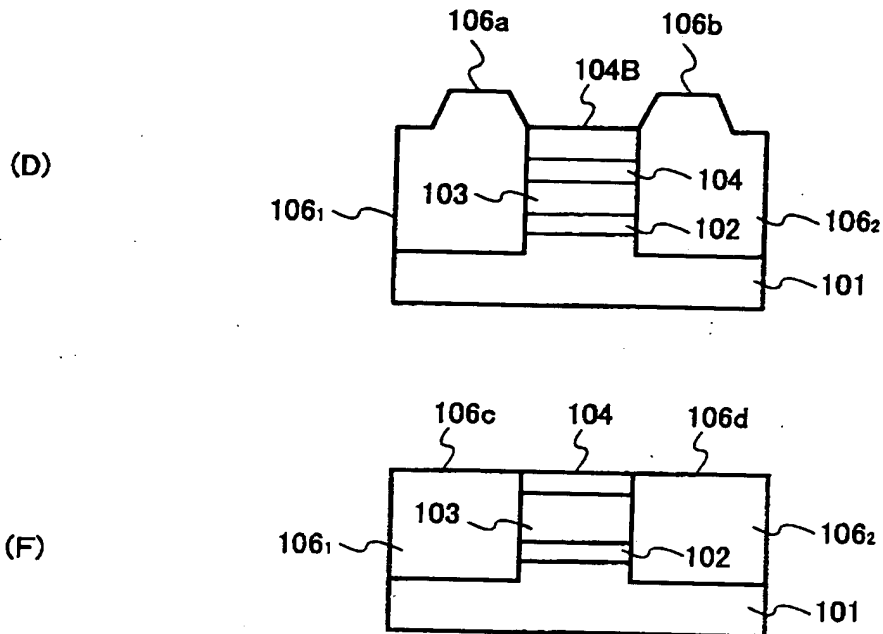
【図 1 9】

(A) ~ (C) は本発明の第5実施例による
レーザダイオードの製造工程を示す図（その 1）



【図 2 0】

(D) ~ (F) は本発明の第5実施例による
レーザダイオードの製造工程を示す図（その 2）



【書類名】 要約書

【要約】

【課題】 Inを含みInPとは異なる組成のIII-V族化合物半導体層を含むメサ構造に隣接して、前記メサ構造上の絶縁膜パターンを選択成長マスクに使用してInP埋込層を選択成長により形成した構造において、前記InP埋込層と前記III-V族化合物半導体層とを簡単なウェットエッチング工程により平坦化する。

【解決手段】 前記メサ構造中、前記III-V族化合物半導体層上に、Inを含むIII-V族化合物半導体層を犠牲層として設け、塩酸と酢酸とを含む水溶液よりなるエッチャントを使い、前記InP埋込層の平坦化および前記犠牲層のエッチングの際に、前記エッチャントの組成を、前記InP埋込層のエッチング速度および前記犠牲層のエッチング速度を勘案して選択する。

【選択図】 図7

出 願 人 履 歴 情 報

識別番号

[000154325]

1. 変更年月日 1992年 4月 6日

[変更理由] 名称変更

住 所 山梨県中巨摩郡昭和町大字紙漣阿原1000番地
氏 名 富士通カンタムデバイス株式会社